



シグナルインテグリティ解析の実行

概要

Tutorial

TU0113 (v1.0) December 9, 2003

このチュートリアルでは、シグナルインテグリティ解析の実行について説明します。それは、デザインルールやシグナルインテグリティ・モデルなどのデザインパラメータの設定、回路図、PCB エディタからのシグナルインテグリティの実行、ネットスクリーニング解析で使用されるテスト項目の設定、選択されたネットのより詳細な解析の実行、信号線の終端、プリファレンスの設定や波形分析での操作を含みます。

DXP では、回路図または PCB エディタからの配線情報を元に、あらかじめ定められたテストに対してネットスクリーニング結果を評価し、選択されたネットの反射やクロストーク解析を実行し、デザインエクスプローラ内で波形を表示して PCB のシグナルインテグリティ解析を実行することができます。

シグナルインテグリティの概要

DXP では基板設計完了後だけでなく完了前にもシグナルインテグリティ解析を実行できます。DXP のシグナルインテグリティ解析では、シミュレーションの入力として高度な伝送路計算と I/O バッファマクロモデル情報 (IBIS) を使用します。高速信号の反射による影響、およびクロストークのシミュレーションの時は、業界標準のアルゴリズムに基づいた正確なシミュレーションを行ないます。

基板の配線を完了する前に、回路図からの情報を元にあらかじめインピーダンスおよび反射シミュレーションが可能です。これによって基板レイアウトを始める前に、ネットインピーダンスのミスマッチなどの潜在的なシグナルインテグリティの問題を確認することができます。

配線が完了（あるいは、部分的に配線）した基板では、デザインの特性を確認する為、実際の基板と同じようにインピーダンス、信号反射やクロストーク解析がすべて実行できます。シグナルインテグリティスクリーニングは、DXP デザインルールシステムの中に構築され、通常のボード DRC（デザインルールチェック）プロセスの一部として、シグナルインテグリティ違反を確認することができます。シグナルインテグリティに問題が発見された時、DXP では、さまざまな終端オプションの効果を表示して、デザインを修正する前に最良の解決方法を発見することができます。

回路図のみのプロジェクトからのシグナルインテグリティ解析の実行

プロジェクトに PCB が無い時でも、回路図のみのデザインでシグナルインテグリティ解析を実行することができます。解析は、フリードキュメントとして開かれたドキュメントでは実行しないので、回路図は、プロジェクトの一部である必要があります。クロストーク解析は、配線済みネットが必要ですので、回路図のみのプロジェクトでは利用できません。

回路図のみの方法で実行する場合、デフォルトのトラックの平均長さやインピーダンスは、SI Setup Options を使用して定義することができます。シグナルインテグリティ・アナライザは、回路図から

シグナルインテグリティ解析の実行

PCB デザインルールで使用するスティミュラスと供給ネットを読み込みます。これらのルールは、PCB レイアウトディレクティブまたはパラメーターセットディレクティブを回路図で配置することで、ネットにルールを追加することができます。

回路図エディタから回路図を開いて、メニューから **Tools » Signal Integrity** を選択します。最初に必要なシグナルインテグリティ・モデルを設定します。そして、最初の結果が表示される **Signal Integrity** パネルが表示され、詳細な解析を実行できます。

PCB プロジェクトからのシグナルインテグリティ解析の実行

PCB ドキュメントからシグナルインテグリティ解析を実行する時、その PCB ドキュメントは関連する回路図を含むプロジェクトの一部であることが必要です。プロジェクト内の回路図からシグナルインテグリティを実行でき、同じプロジェクトの PCB からシグナルインテグリティを実行しても同じ効果であることに注意してください。この時、反射およびクロストーク解析の両方が実行可能になっています。

PCB エディタのメニューから **Tools » Signal Integrity** を選択すると、先に記述した回路図のみの方法と同じ過程で実行されます。

PCB で回路図部品を関連付けることができますが、配置された部品はコンポーネントリンクでリンクされている必要があります。これは、**Project » Component Links** を選択して確認することができます。未配線のネットは、ピン間のマンハッタン長を使用して、解析目的のトラック長を推測することに注意してください。

シグナルインテグリティを実行する前に

デザインのシグナルインテグリティ解析を正しく実行し、また正確な結果を得る為には、下記の項目を解析開始前に行なうことが必要です。

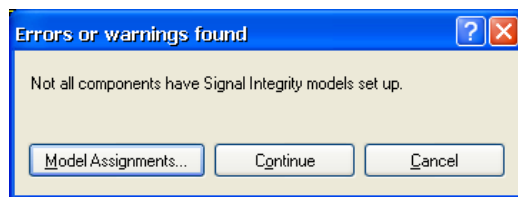
- ネットをシミュレーションする場合、意味のあるシミュレーション結果を得る為の重要なことは、そのネットに接続された出力ピンが少なくとも 1 個は集積回路 (IC) であることが必要です。この出力ピンは、ネットに信号を供給してシミュレーション結果に反映されます。例えば、抵抗、コンデンサ、インダクタは、ドライブソースが無いパッシブ部品である為、ネットに信号波形を供給できずシミュレーションが実行できません。
- 各部品のシグナルインテグリティ・モデルタイプは、正確である必要があります。これは、回路図ドキュメントに配置された部品に関連したシグナルインテグリティ・モデルを編集する際に、**Model Assignments** ダイアログまたは **Signal Integrity Model** ダイアログの **Type** の項目に正しいモデルタイプをマニュアルで設定します。このエントリーが定義されていない場合は、**Model Assignments** ダイアログはその特性に基づいた部品のタイプを推測します。より詳細な説明は、**Model Assignments** ダイアログでの**部品にシグナルインテグリティ・モデルの追加**の項目をご参照ください。
- サプライネットに関するデザインルールの設定が必要です。一般的には、電源ネットと GND ネットの最低 2 つのルールが必要で、ルールの範囲はネットまたはネットクラスで定義します。サプライネットは、シグナルインテグリティで解析することができません。より詳細な説明は、**回路図**での**シグナルインテグリティ・デザインルール**または **PCB** での**シグナルインテグリティ・デザインルール**の項目をご参照ください。
- **Signal Stimulus** に関するデザインルールは、デフォルト以外のスティミュラスが必要な場合には、デザインルールの設定が必要になります。

- PCB のレイヤースタックが正しく設定されている必要があります。シグナルインテグリティ・アナライザには、分割のない連続したパワープレーンレイヤーが必要です。パワープレーンに割り当てられたネットが解析に使用される為、分割プレーンはサポートされません。もし、それらが無い場合は、仮定・予想したネットが使用されますので、それを避けるためにも適切なネットをパワープレーンにアサインしてください。各層のコアやプリプレグの厚さも正しく設定する必要があります。**Design » Layer Stack Manager** コマンドを使用して、PCB エディタでレイヤースタックを設定します。PCB の無い回路図のみの方法でシグナルインテグリティを実行する場合、シグナルレイヤー2層パワープレーンレイヤー2層の4層基板の設定をデフォルトとして使用します。もし、デフォルト以外の層構成にしたい場合は、空の PCB を作成してレイヤースタックで設定することができます。

Model Assignments ダイアログでの SI モデルの追加

デザインにシグナルインテグリティ・モデルを追加する最も簡単な方法は、*Model Assignments* ダイアログを使用することです。

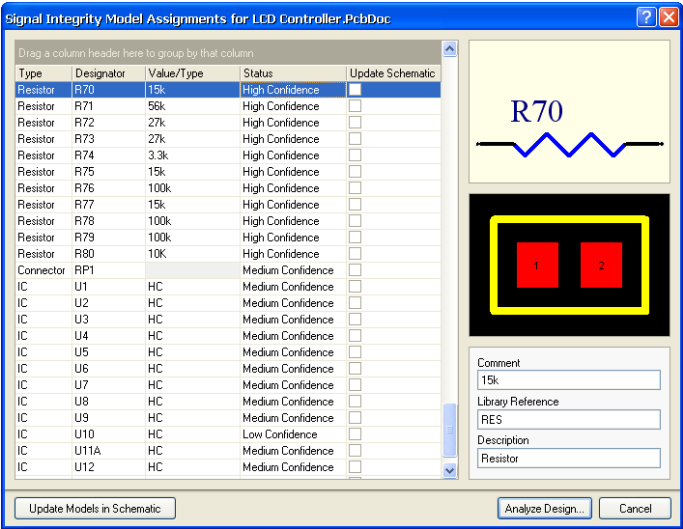
1. メニューから **Tools » Signal Integrity** を選択します。プロジェクトで最初にシグナルインテグリティを実行する時にシグナルインテグリティ・モデルが割り当てられていない部品がある場合、*Errors or warning found* ダイアログが表示され *Model Assignments* ボタンを押して SI モデルを設定することができます。



あるいは、**Continue** ボタンをクリックした場合、Signal Integrity パネルが表示され、**Model Assignments** ボタンをクリックして、いつでも *Model Assignments* ダイアログでモデルの設定を行なうことができます。モデルの割り当てを変更するなどのような修正も、既存の解析結果は無効となり、再計算が必要となることに注意してください。

もし、モデルがすべての部品に対して既に設定されている場合、*SI Setup Options* ダイアログが表示されます。詳しくは後に述べる *SI 設定オプションの設定* の項目をご参照ください。

2. *Errors or warnings found* ダイアログの **Model Assignments** ボタンをクリックすると *Signal Integrity Models Assignments* ダイアログが表示されます。



Models Assignments ダイアログが開いた時、シグナルインテグリティ・モデルが定義されていない部品に対しては相当と思われるモデルの割り付けを自動で試みます。既にモデルが定義（またモデル情報）されていたものを含む全ての部品は、**Models Assignments** ダイアログに表示されます。各部品は、以下のリストに記述されているような状態を割り当てられます。

Status	Definition
No match	この部品に相当するモデルを見つけることができませんでした。正確に設定するにはユーザーによる修正が必要です。
Low confidence	強い根拠はありませんが、この部品にタイプを選択しました。
Medium confidence	合理的な確信を持ち、この部品にタイプを選択しました。
High confidence	この部品にタイプを選択しました。通常ほとんどの特性に適合します。
Model found	この部品には既にモデルが割り当てられていました。
User modified	モデルの割り当てがユーザーによって修正されています。
Model added	ユーザーが、回路図ドキュメントを修正し、新しいモデルを保存して Model Assignments ダイアログを使用した時にこの状態は使用されます。

Model Assignments ダイアログでの部品モデルの修正

- 1. モデルを修正したい部品を選択します。
- 2. 正しい種類を選択します。シグナルインテグリティには 7 種の部品（抵抗、コンデンサ、インダクタ、ダイオード、BJT、コネクタ、IC）があります。各部品の Type は、その欄のドロップダウンか、右クリックメニューを使用して選択することができます。

3. 抵抗、コンデンサ、インダクタの場合は定数を設定してください。可能な場合、**Model Assignments** ダイアログでは、部品のコメントフィールドとパラメータに基づいて、この欄で部品の正しい値を設定します。もし必要ならば定数の修正を行なってください。複合部品（抵抗アレーなど）の場合は、欄でクリックして表示されたダイアログで修正します（詳細は、*部品への SI モデルのマニュアルでの追加*を参照して下さい）。
4. 部品が IC の場合、シミュレーションで使用するピンモデルの特性を決定しますので、テクノロジータイプの選択は重要です。これは、欄のドロップダウンリストを選択するか、右クリックメニュー（**Change Technology**）の一覧から選択します。
5. 最後に、IBIS モデルといった **Model Assignments** ダイアログでの設定以上に詳細な指定が必要かもしれません。これは、右クリックメニューから **Advanced** を選択して設定することができます。この過程の詳細は、*部品への SI モデルのマニュアルでの追加*を参照して下さい。

モデルの保存

一度、部品のモデル割付の設定が完了すれば、この情報は回路図ドキュメントに保存することができます。

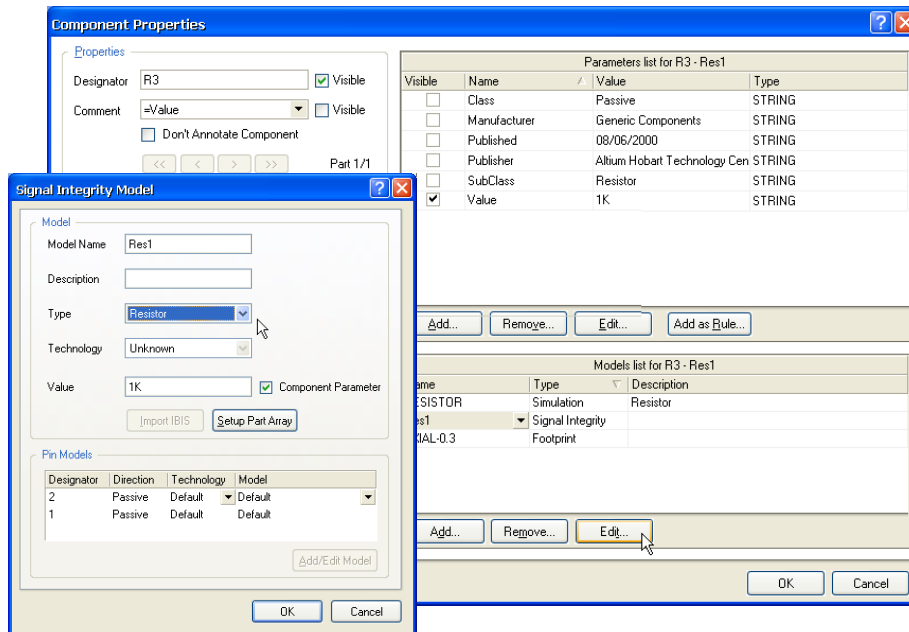
1. **Model Assignments** ダイアログで、更新する全ての部品の **Update Schematic** 欄にチェックを入れます。それから、**Update Models in Schematic** ボタンをクリックします。
2. 選択された各部品の全ての新しいシグナルインテグリティ・モデル（または、修正したモデル）は、回路図ドキュメントに追加されます。その後、回路図ドキュメントを保存する必要があります。
シグナルインテグリティ解析を続けている間はモデルを保存する必要はありません。もし、モデルが保存されていなくても、解析は **Model Assignments** ダイアログに表示されているモデル設定で行なわれます。しかし、次にシグナルインテグリティ・ツールを実行した場合には、保存されていない情報は失われています。

部品へのシグナルインテグリティ・モデルのマニュアルでの追加

シグナルインテグリティ・モデルは、統合された部品にリンクされています。新しい統合された部品ライブラリにシグナルインテグリティ・モデルを組み込むこともできます。

1. 回路図エディタに配置された部品にシグナルインテグリティ・モデルを追加するには、部品をダブルクリックして **Component Properties** ダイアログを表示させます。

シグナルインテグリティ解析の実行

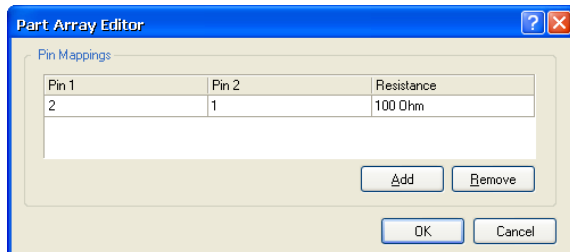


2. Model リストで **Add** をクリックし、**Add New Model** ダイアログの Model Type で **Signal Integrity** を選択します。OK をクリックすると **Signal Integrity Model** ダイアログが表示されます。
3. モデルを設定して、OK をクリックします。

パッシブ部品の設定

抵抗やコンデンサなどの部品を設定する場合、種類と定数を入力する必要があります。定数は Value の項目に入力し、全体の部品のパラメータとして設定することができます。

抵抗アレーのような複合部品もサポートしています。部品の種類を選択した後、**Signal Integrity Model** ダイアログの **Setup Part Array** ボタンをクリックして設定することができます。**Part Array Editor** ダイアログでは、ピンとそれらの接続に見合う定数/モデルを設定することが可能です。



IC の設定

IC のタイプモデルを設定するには、いくつかの方法があります。

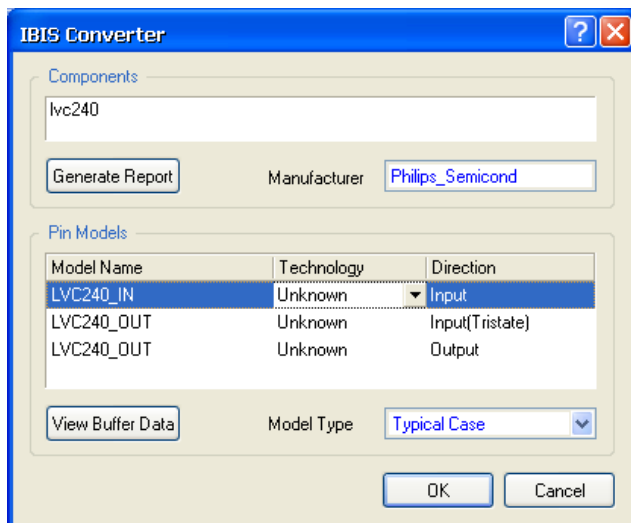
1. Type (IC) を選択した後、テクノロジータイプを簡単に選択できます。この部品をシミュレーションする時は、そのテクノロジーの適切なピンモデルが使用されます。

- より高度なコントロールが要求される場合、詳細なテクノロジーやさまざまなピンモデルを割り当てる事が可能です。これは、**Signal Integrity Model** ダイアログの下部にあるピンリスト中のピンのドロップダウンリストから選択して実行できます。どのような設定の変更も、元のテクノロジーより優先されることに注意して下さい。

IBIS ファイルのインポート

別の重要なオプションは IBIS ファイルをインポートする機能です。

- IBIS (Input/Output Buffer Information) に記述されている IC モデルの入力／出力特性を使用するには、**Signal Integrity Model** ダイアログで **Import IBIS** ボタンをクリックします。**Open IBIS File** ダイアログから IBIS ファイルを選択して **Open** をクリックします。**IBIS Converter** ダイアログが表示されます。



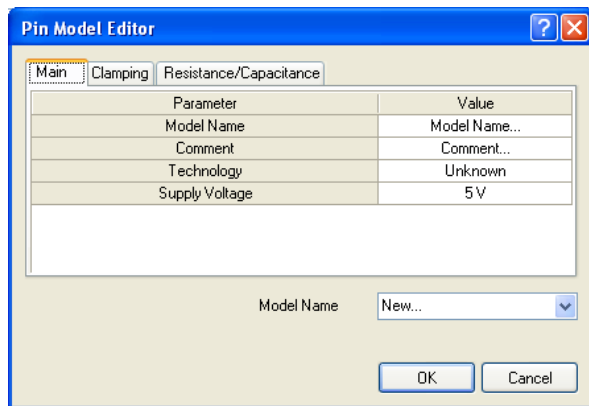
- IBIS ファイルに含まれた必要な部品を選択します。DXP は、IBIS ファイルを読み込み、インストールしたピンモデルのライブラリ内の IBIS ファイルからピンモデルをインポートします。もし、同じモデルが複数、発見されれば、既存のモデルを上書きするかの問い合わせがなされます。さらに、IBIS ファイルで指定されたように、部品の全てのピンは適切なピンモデルに割り当てられます。
- 自動でモデルが割り当てられたピンの成功／不成功の結果をレポートに生成します。さらに、上部に記述された様に、適切なピンのモデルを手動で選択してカスタマイズすることが可能です。
- OK** ボタンをクリックすると、IBIS 情報のインポートは完了し、**Signal Integrity Model** ダイアログに戻ります。

ピンモデルの編集

そのピンのさまざまな電気的特性を指定して、既存のピンモデルの編集や追加することが可能です。これは、BJT、コネクタやダイオードのような他の種類にも利用できると注意して下さい。

シグナルインテグリティ解析の実行

1. ピンモデルを編集するには、**Signal Integrity Model** ダイアログの **Add/Edit Model** ボタンをクリックして **Pin Model Editor** ダイアログを表示させます。**Add/Edit Model** ボタンは編集可能な種類の場合のみ表示されています。



2. 必要な変更を行なって **OK** をクリックします。
3. 新しいピンモデルの追加の場合、この新しいモデルは他の部品のピンでも今後利用可能です。

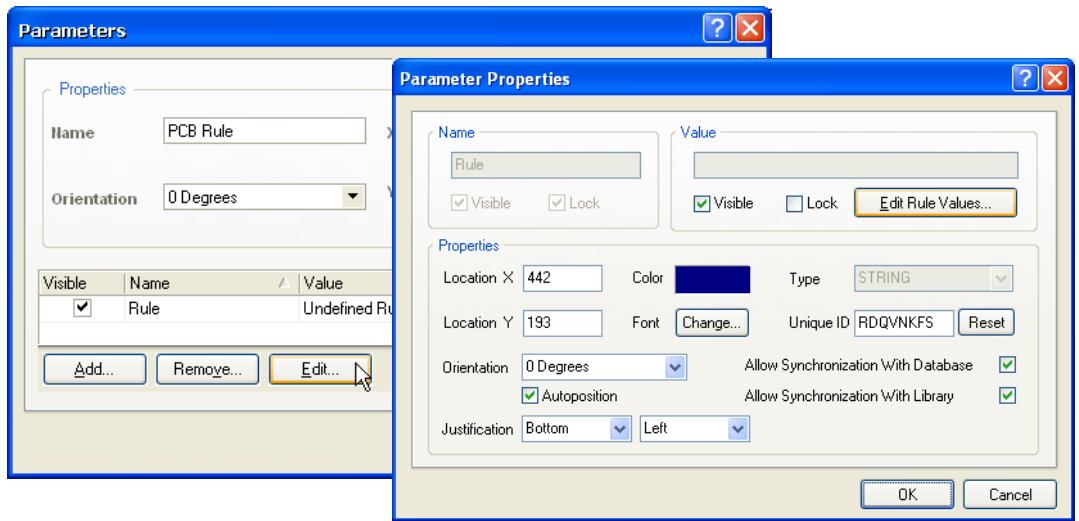
回路図でのシグナルインテグリティ・デザインルール

シグナルインテグリティ用のパラメータとして使用される PCB のデザインルールは、回路図においてもデザインルールを定義することができます。シグナルインテグリティ解析を行なう場合、電源ネットとそれらの電圧を PCB のルールで定義する必要があります。回路図の各電源ネットに PCB ディレクティブを追加します。

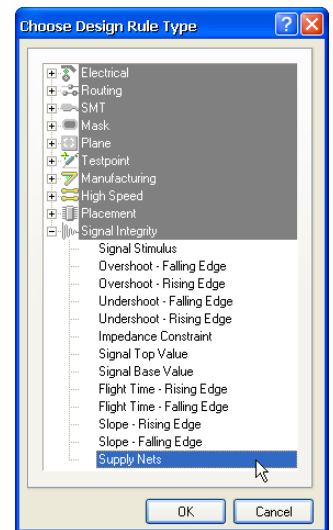
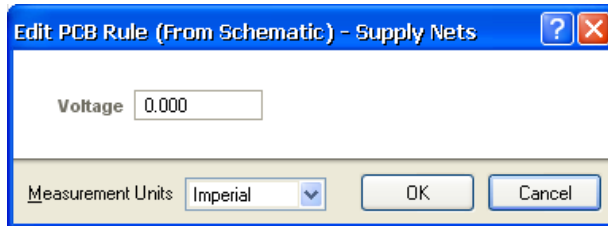
回路図で電源ネットのデザインルールを追加するには、

1. **Place » Directives » PCB Layout** を選択します。ディレクティブがカーソルに表示されます。
2. **TAB** キーを押すと、未定義のルールが追加されている **Parameters** ダイアログが表示されます。
3. **Undefined rule** を選択し、**Edit** ボタンをクリックすると **Parameter Properties** ダイアログが表示されます。





4. **Edit Rule Values** ボタンをクリックすると、表示された *Choose Design Rule Type* ダイアログからルールタイプを選択できます。
5. ダイアログをスクロールダウンさせ **Signal Integrity** ルールの項目から **Supply Nets** を選択し **OK** をクリックすると、*Edit PCB Rule (From Schematic)* ダイアログが表示されます。



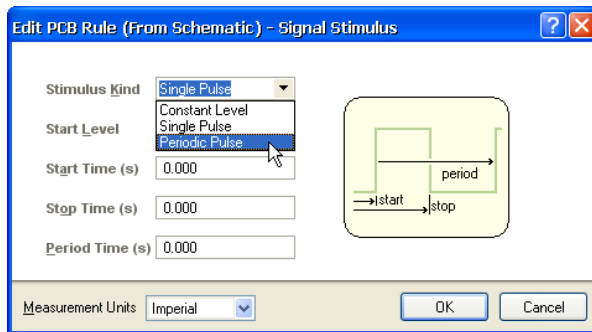
6. この電源ネットの電圧値を入力してから **OK** ボタンをクリックします。 **OK** をクリックして全てのダイアログを閉じます。
7. これで適切なネットに PCB ルールの設定されたディレクティブを配置することができます。ディレクティブがネットに適切に配置されればドットが表示されます。デザインが PCB に移行された後、ルールは PCB デザインルールに追加されます (PCB の **Design » Rules** コマンドを使用して確認することができます)。
8. 同じように **GND** ネット (Voltage = 0) や他の電源ネットにも PCB ルールディレクティブを配置します。
9. ディレクティブ配置モードを終了するには、右クリックします。

回路図エディタでは、ルールの範囲 (ルールの適応範囲) はパラメータが追加される場所 (例えば、ワイヤまたはピン) によって定義されることに注意して下さい。PCB エディタでは、ルールの範囲はルール自身内で定義することができます。

シグナルスティミュラスのデザインルール

他のデザインルール設定では、シグナルスティミュラスのデザインルールを回路図エディタで設定することができます。このルールが適応されると、スティミュラスは解析されているネットの各出力ピンに投入されます。これは、'all'の範囲を使用するデザインルールが要求される為、このルール用のシートパラメータを作成する必要があります。もし、このルールを設定していない場合、デフォルトルールオプションの値が使用されます。

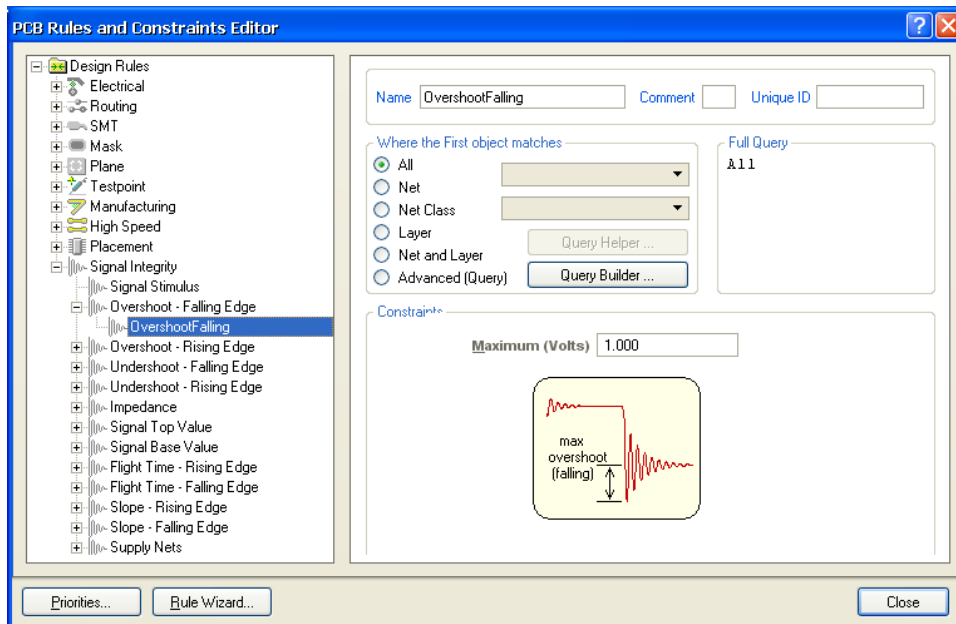
1. 回路図エディタで **Design » Document Options** を選択し、*Document Options* ダイアログの **Parameters** タブをクリックしてシートパラメータを追加します。**Add as Rule** ボタンをクリックして *Parameter Properties* ダイアログを表示させます。
2. **Edit Rule Values** ボタンをクリックして *Choose Design Rule Type* ダイアログを表示させます。スクロールダウンさせ、**Signal Integrity** ルールの中の項目にある **Signal Stimulus** を選択します。**OK** をクリックして *Edit PCB Rule (From Schematic) - Signal Stimulus* ダイアログを表示させます。



3. スティミュラスの種類、開始レベルや時間を選択します。**OK** をクリックしてダイアログを閉じます。

PCB でのシグナルインテグリティ・デザインルール

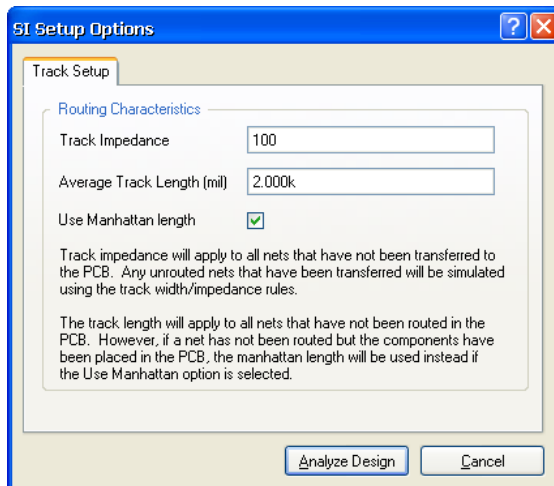
オーバーシュート、アンダーシュート、インピーダンス、スロープなどシグナルインテグリティのパラメータは、標準の PCB デザインルールのように指定することができます。PCB エディタで **Design » Rules** を選択し、これらのルールを設定します。回路図エディタでパラメータを使用してこれらのルールを設定することができ、それらは、PCB レイアウトへデザインを移行した後に *PCB Rules and Constraint Editor* ダイアログに表示されます。



これらのルールには、2つの目的があります。一つは、PCBでDRCチェックを実行した場合にボード全体を解析しルールに違反した個所をチェックします。二つ目は、**Signal Integrity** パネルを使用した時です。これらのルールは、どのネットがどのテストに通過できなかったかをグラフ式にパネルに表示する時に使われます。

SI 設定オプションの設定

プロジェクトで初めて **Tools » Signal Integrity** を選択して実行された場合、全ての部品モデルが割り当てられ **SI Setup Options** ダイアログが表示されます。



シグナルインテグリティ解析の実行

1. トラックのインピーダンスと平均長を設定します。これら配線の特性は、PCB からまだネットが移行されていない、または未配線のネットがある場合にのみ使用されます。

Supply Nets と Stimulus タブは回路図のみの方法のときに表示されます。

2. **Analyze Design** をクリックするとデフォルトの初期解析が実行され、反射、クロストークを解析する為のネットを選択することができる **Signal Integrity** パネルが表示されます。

デフォルトで設定してある 4 つの検査項目と、回路図または PCB で設定したシグナルインテグリティに関するデザインルールに記載された内容は、すべて初期解析の際に実行されます。これらの検査する内容と許容範囲の設定は、シグナルインテグリティ・パネルの **Menu** ボタンをクリックして表示される **Set Tolerances** で設定することができます。

回路図のみの方法でのシグナルインテグリティ設定オプション

1. PCB が無いプロジェクトで実行する場合、各種設定は、**Menu** ボタンをクリックし **Setup Options** を選択して表示される **SI Setup Options** ダイアログで **Signal Integrity** パネルの **SI Setup Options** を変更することができます。
2. **Track Setup** タブではシミュレーションで使用するデフォルトの配線長を指定します。デフォルトの配線長は、PCB が存在し配線長が存在する場合には使用されません（例えば、マンハッタン長を確認することができないときには PCB のトラックの代わりにこの値を使用します）。このタブの **Track Impedance** の項目も同様に設定します。
3. **Supply Nets** と **Stimulus** タブをクリックすると、有効なネットおよびスティミラスに関する情報が表示されます。これらのタブでは、PCB または回路図でのルールの通常の設定方法以外に、他のインタフェースでもこれらの特性を定義することができます。

Signal Integrity パネルの使用

初期設定を実行後、**Signal Integrity** パネルには解析結果のデータが表示されます。この解析結果やさまざまなテストを通過したネットは、パネルの左側のリストに表示されます。

The screenshot shows the **Signal Integrity** panel with a table of results and various settings on the right.

Net	Status	Base Value	Falling Edg...	Falli...	Falli...	Falli...	L...	Risi...	Risi...	Risi...	Risin...	T...
DTRD	Failed	100.3m	2.107n	1.587	336.4	1.004	297	336.6	2.353	267.	1.469	4.9
INTB	Failed	100.0m	1.635n	222.3	320.	183.6n	297	320.1	1.449	232.	1.104	5.0
RTSC	Failed	99.98m	1.605n	199.8	334.	161.8n	296	334.1	1.248	221.	908.4n	5.0
RTSA	Failed	103.0m	2.605n	2.757	6.71	1.913	297	6.717	3.154	6.63	2.215	5.0
DTRB	Failed	100.5m	1.871n	1.327	305.0	1.007	297	305.0	2.484	3.45	1.843	4.9
DTRA	Failed	102.3m	2.660n	2.812	6.97	1.986	297	6.974	3.228	7.02	2.267	4.9
INTA	Failed	100.1m	1.718n	586.1	311.5	438.6n	297	311.9	1.926	204.	1.425	5.0
DTRC	Failed	100.0m	1.941n	1.001	332.	599.7n	297	332.4	1.841	227.	1.113	5.0
TXC	Failed	99.73m	2.131n	1.672	340.	1.056	297	340.7	2.398	3.76	1.509	4.9
TXD	Failed	100.1m	2.105n	1.582	336.	1.001	297	336.3	2.349	266.	1.464	4.9
TXB	Failed	102.8m	2.644n	2.792	6.90	1.958	297	6.906	3.191	6.84	2.251	5.0
RTSD	Failed	100.00m	1.909n	874.8	340.1	518.4n	297	340.6	1.773	263.	1.058	5.0
TXA	Failed	88.93m	2.155n	2.344	4.91	1.803	296	4.916	3.167	4.81	2.446	5.0
J12	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J11	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J8	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J24	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J23	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J22	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J25	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J28	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J27	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J26	Not analyzed	-	-	-	-	-	297	-	-	-	-	-
J15	Not analyzed	-	-	-	-	-	297	-	-	-	-	-

On the right, there are settings for **Termination** (No Termination, Serial Res, Parallel Res to VCC, Parallel Res to GND) and a **Perform Sweep** button with **Sweep Steps: 10**.

システムで表示できるパネルは一つだけです。再度 **Tools » Signal Integrity** を実行しても、表示しているパネルの内容はクリアされ、新しい解析結果が上書きされることに注意してください。これはプロジェクトの回路図または PCB に変更を加えた後、または新しいプロジェクトで解析を始める時に結果を新たにする為に使用されます。

スクリーニング結果の表示

初期スクリーニング解析では、多数のネットを素早く解析し多くの情報を得ることができます。そして、反射と（または）クロストーク解析の様な、より精密な検査を行う為の評価ネットを識別します。リストの左側に解析結果が表示されます。

各ネットは、3つの部類（**Passed**; **Failed** または **Not Analyzed**）のうちのどれか1つに割り当てられます。

- **Passed** は、定義されたテスト内容にパスしたネットを表します。
- **Failed** は定義されたテスト内容にパスできなかったネットです。違反した値の欄は赤く表示されます。
- **Not Analyzed** は何かの原因でテスト出来なかったネットを表します。テスト出来なかった原因を表示するには、マウス右クリック（または **Menu** をクリック）して **Show/Hide Columns** を選択し、**Analysis Errors** 欄を有効にします。

Failed ネット

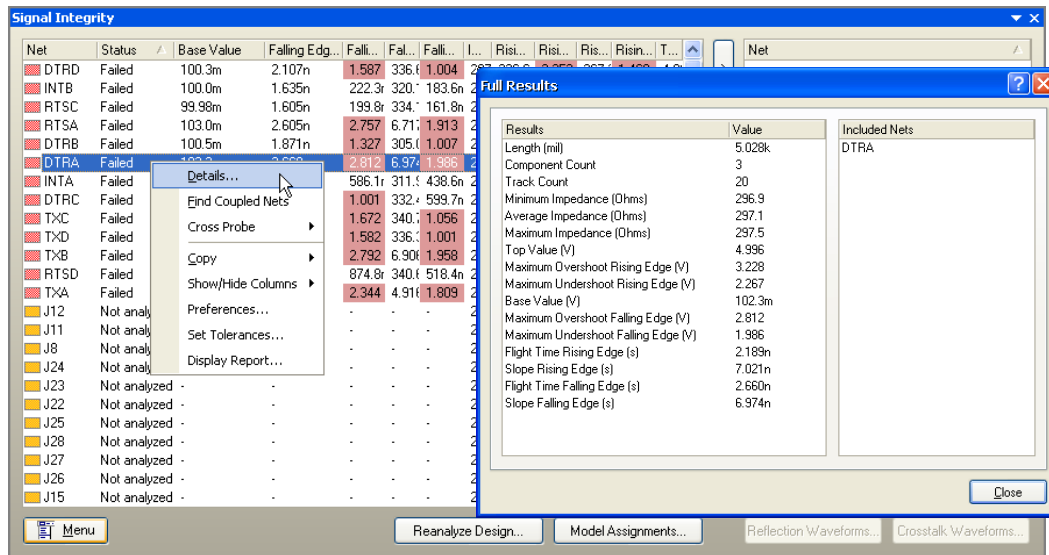
解析に失敗する共通の原因の多くは、ネットに接続されたコネクタ、ダイオード、トランジスタがある場合や出力ピンが全く無いあるいは複数の出力ピンがある場合です。ネットが遮られる時（双方向ピンを含みネットに出力ピンが無い時）、各双方向ピンは、出力ピンとして別個にシミュレーションが行われます。これらのシミュレーションから最悪の場合の結果が表示されます。スクリーニングテストでは解析ができない場合でも、反射やクロストークのシミュレーションを行なう際に確認することができる可能性があることに注意してください。

ネットは、スクリーニングと更なるシミュレーションで間違った解析結果に結びつく他のエラーを持つことが可能です。これらのネットは赤くハイライトで表示されます。更に解析されたネット（例えば、PCB でまだ配線されていないネット）は、グレーで表示されます。

Failed または Not Analyzed ネットの確認

Failed または Not Analyzed ネットの原因を表示するには、

1. ネットが赤くハイライト表示されている場合は、ネットを選択してからマウス右クリックで **Show Errors** を選択します。問題箇所を修正する為にクロスプローブさせることができる **Messages panel** に、メッセージが表示されます。
2. 選択したネットの全ての情報を表示するには、右クリックして **Details** を選択します。 **Full Details** ダイアログが表示され、スクリーニング解析から計算された情報やその他の基本的な情報が全て表示されます。



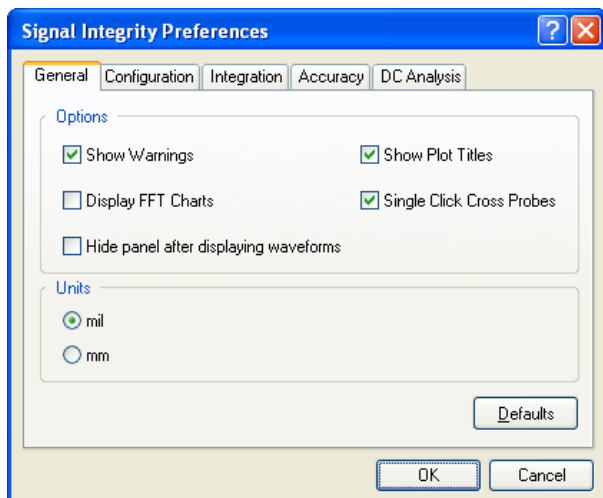
3. 右クリックメニュー（または **Menu** をクリック）から **Cross Probe** を選択すると回路図または PCB のどちらかの選択したネットにクロスプローブ（ジャンプ）します。**F4** ショートカットキーを使用して、**Signal Integrity** パネルとデザイン間の表示を交互に切り替える（トグル）こともできます。
4. 希望のネットを選択して右クリックし **Find Coupled Nets** を選択すると、単一のネットあるいはグループのネットに連結させる（電氣的連結が強い）ネットが選択されます。ネットの連結が考慮される基準は、**Preferences** ダイアログ（**Signal Integrity** パネルの **Menu** ボタンから **Preferences** を選択して表示されます）で設定することができます。
5. さらに、過程またはレポート情報は、クリップボードにコピーし他のアプリケーションに貼り付けることができます。要求したネットを選択し、右クリックメニューから **Copy** を選択します。さらに、表示されている情報の種類は、右クリックメニューから **Show/Hide Columns** コマンドを使用して表示される欄を選択してカスタマイズすることができます。
6. ハイライト表示された解析結果のレポートは、**Signal Integrity** パネルで右クリックメニューから **Display Report** を選択して利用することができます。これは、テキストエディタでレポートファイル（Signal Integrity Tests Report.txt）として開き、プロジェクトに追加されます。

Preferences の設定

定義した全ての解析を適用する為のさまざまなプリファレンスを指定することができます。これらは一般的な設定、統合方法や正確なしきい値も含まれています。

プリファレンスでの変更は、全てのプロジェクトに適用されます。全てのプリファレンスの設定は C:\Documents and Settings\User_name\Application Data\Altium2004 フォルダにファイル名称 SignalIntegrity.ini で保存されます。

1. **Signal Integrity** パネルの **Menu** ボタンをクリックして **Preferences** を選択すると **Signal Integrity Preferences** ダイアログが開きます。



2. 関連するタブをクリックし、必要なプリファレンスを設定してから **OK** をクリックします。
3. **Signal Integrity preferences** ダイアログの全ての設定項目は **Defaults** ボタンをクリックして、デフォルトの初期状態に戻すことができます。

General タブ

このタブでは、シグナルインテグリティ解析の実行に関係したエラーがデザインに存在する場合、ヒントあるいはワーニングを表示するなどのエラーの取り扱いについて設定します。ヒントやワーニングは **Messages** パネルにリスト表示されます。**Show Warnings** オプションが有効でワーニングが発生した場合には、**Signal Integrity** パネルにアクセスする際に **warning confirmation** ダイアログが表示されます。さらに波形表示の際には **Signal Integrity** パネルを隠しておく設定、シグナルインテグリティ測定の際のデフォルト単位設定、**Waveform Analysis** 画面でのプロットタイトルの表示や FFT チャートの表示の設定ができます。

Configuration タブ

このタブでは、カップルネットとみなすネット間の最大距離や最小長さなどシミュレーションに関連する数々のしきい値を設定できます。

Integration タブ

このタブでは、解析のために使用される数値積分の方式が設定できます。**Trapezoidal**（台形則）は解析が比較的早く正確ですが、ある条件下では積分境界が発散する傾向があります。**Gear** 法では解析により多くの時間を要しますが計算結果はより安定している傾向があります。さらに高次の **Gear** 法を使えば高精度ですが、解析に要する時間も増えていきます。**Trapezoidal** を使用するのがデフォルトの設定です。

Accuracy タブ

このタブでは、解析に関与する計算アルゴリズムが使用する様々なしきい値や限度設定を行ないます。

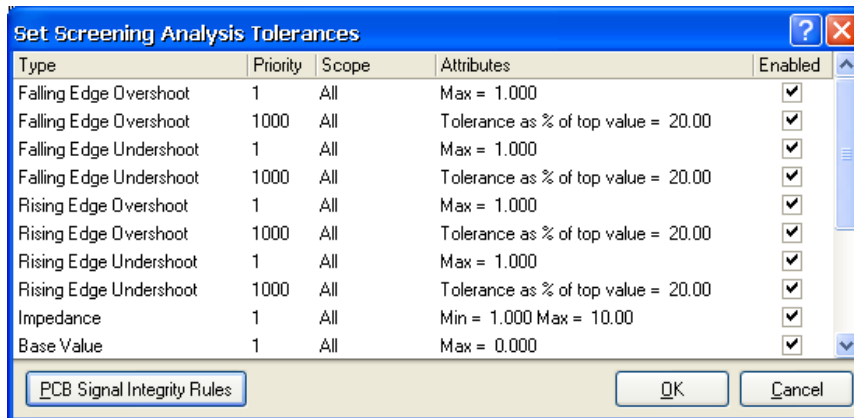
DC Analysis タブ

このタブでは、DC 解析に関連したさまざまなパラメータ用のしきい値や限度設定を行ないます。

許容範囲の設定

デザインが初めて解析される際には、4 つのデフォルトの許容範囲および回路図または PCB で設定されたシグナルインテグリティで使用するルールが全て有効になっています。

1. Signal Integrity パネルの **Menu** ボタンをクリックして **Set Tolerances** を選択すると、**Set Screening Analysis Tolerances** ダイアログが表示され、これらのルールを有効／無効に設定することができます。



2. デザインが解析される際に有効としたいルールタイプ右側の **Enabled** チェックボックスをクリックしてチェックマークを入れます。
3. シグナルインテグリティで使用するルールを追加／変更するには、**PCB Signal Integrity Rules** ボタン（回路図のみの方法で無い場合）をクリックし、**PCB Rules and Constraints Editor** ダイアログを開きます。必要な修正が終わったらダイアログを閉じてから Signal Integrity パネルの **OK** をクリックします。

解析の準備

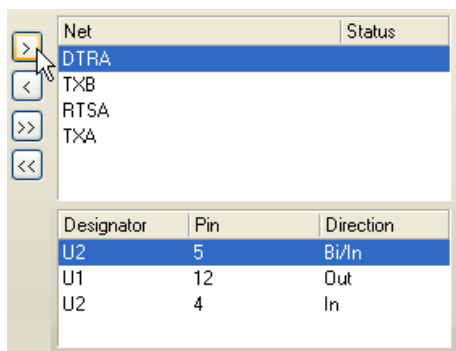
解析を実行する前に、解析するネットを選択する必要があります。もし必要があれば、**Edit Buffers** メニューを使用して、部品の **part technology** やピンの属性の表示、変更やネットに終端を追加することができます。

解析するネットの選択

ネット上の解析を行うには（反射やクロストーク）、ネットが **Signal Integrity** パネルの右側のリストで選択されている必要があります。

1. パネル左側のリストで解析を行いたいネットをダブルクリックすると、ネット名はパネル右側にリストされます。

あるいは左側のリストで選択したネットを右側のリストに移動させるには矢印ボタンを使用して下さい。左側のリストで複数のネットを選択するには、**Shift** または **Ctrl** キーを押しながらマウスでネットをクリックします。



2. ネットが選択された状態であれば、シミュレーション実行前に更に詳細な設定を行うことが可能です。

Victim と Aggressor ネットの設定

クロストーク解析を行なう場合、ネットを **victim**、**aggressor** に分類する必要があります。複数のネットが選択（右側のリストに移動）された場合にのみこの機能が有効であることに注意して下さい。

1. 右側のリストでネットを選択して右クリックし **Set Aggressor** または **Set Victim** を選択します。ネット名左側のステータス表示が更新されます。
2. マウス右クリックメニューから **Clear Status** を選択すると設定が解除されます。

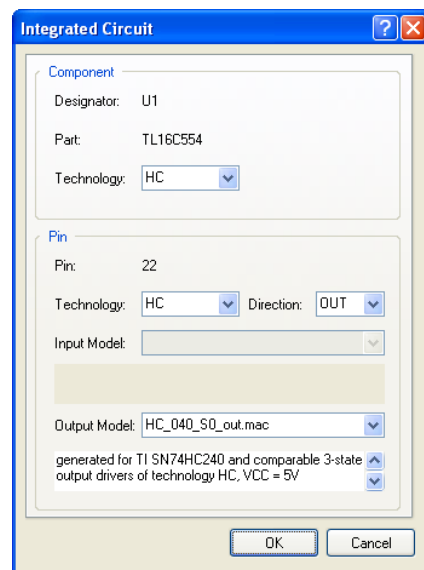
双方向ピンの方向設定

与えられたネットに含まれる双方向ピンの **Direction** を設定することができます。 **Direction** を設定するには、

1. 右上のリストから影響を与えたネットを選択すると、下の欄にそのネットに含まれるピンのリストが表示されます。
2. ピンのリストから **in/out** ステータスを変更したい双方向ピンを選択し、マウス右クリックメニューから **Toggle In/Out** を選択するとステータスを変更できます。これらの **in/out** の設定はプロジェクトに保存され次回使用する際も有効です。
3. マウス右クリックのメニューから **Cross Probe** オプションを選択して、関連した回路図・PCB ドキュメントのどちらにもクロスプローブすることができます。

バッファの編集

入力と出力モデルやピン方向など、部品の **Part Technology** やピン属性の表示や変更することができます。右側のリストで、選択したネットに接続されている部品を変更することができます。



シグナルインテグリティ解析の実行

す。ピンのリストでマウス右クリックして **Edit Buffer** を選択すれば、部品の属性を編集できます。

コンポーネントのパートテクノロジーを変更してもそれはピン単体の特性の変更だけで、部品全体の変更では無いことに注意してください。 **Edit Buffer** ボタンを使用して行なう全ての変更は、回路図に含まれるシグナルインテグリティ・モデルから設定されたテクノロジー/ピンモデルの内容を上書きします。

1. ダイアログやオプションは、ピンが属する部品のタイプ（例えば resistor, IC, BJT など）によって変わります。 *Integrated Circuit* ダイアログは、IC 部品用のダイアログです。
2. Input Model と Output Model の欄は Part Technology のタイプに依存して変化します。 Component Part Technology をドロップダウンから選択すれば、関連したデフォルトのテクノロジーモデルがモデル欄に入力されます。
3. ピンの Technology と Direction をプルダウンから選択すれば、適切な Input または Output モデルがそれぞれの欄に表示されます。 Technology や Direction の変更は、解析実行時のみで有効でローカルな修正です。必要な変更を行って、**OK** をクリックします。

終端

信号波形の乱れは、伝送線路における複数の反射波によるものです。これらの反射や'リングング'は PCB 設計においてドライバ／レシーバーのインピーダンス不整合により発生します。通常、ドライバが低いインピーダンス、レシーバーが高いインピーダンスです。

ドライブ側での理想的な信号の質を得るには、反射を 0 にする（リングングがない）ことです。リングングのレベルは、終端を使用することで、デザインが許容できるレベルに下げることができます。

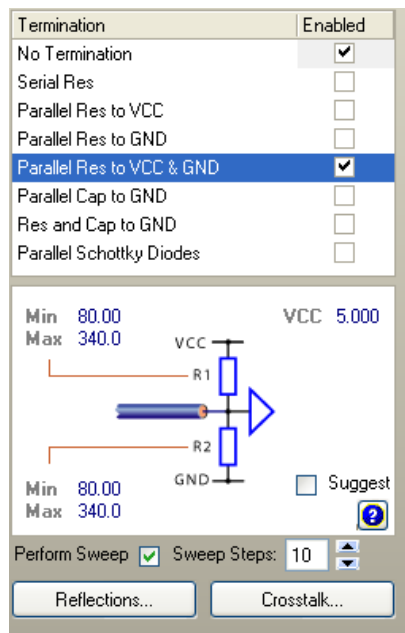
Signal Integrity パネルはネットの指定した位置に、'仮想的な終端'を挿入して評価できるターミネーションアドバイザーを装備しています。この方法で、物理的にボードを作成しなくても、自由にターミネーションの方法をシミュレーションすることができます。

シミュレーションできる終端の種類には、シリーズ抵抗、プルアップ抵抗（VCC へ）、プルダウン抵抗（GND へ）、プルアップ・ダウン抵抗（VCC と GND へ）、コンデンサ付きプルダウン（GND へ）、パラレルコンデンサ（GND へ）、ショットキーダイオードがあります。

各終端の種類は、リストから有効／無効を設定することができます。反射またはクロストーク解析を実行した際に、有効となった終端の種類ごとにシミュレーション波形を出力します。シリーズ抵抗の終端を使用した場合、それは選択したネットの全ての出力ピンに配置されます。他の終端はネットの全ての入力ピンに配置されます。

さらに終端の最良の結果を得るには、ネットの特性に応じた最適な定数を設定することが必要です。

1. 終端の種類を選択する時、下部にその種類に応じた終端の図が表示されています。この図では、終端に使用する抵抗やコンデンサの最小値と最大値の定数を設定することができます。



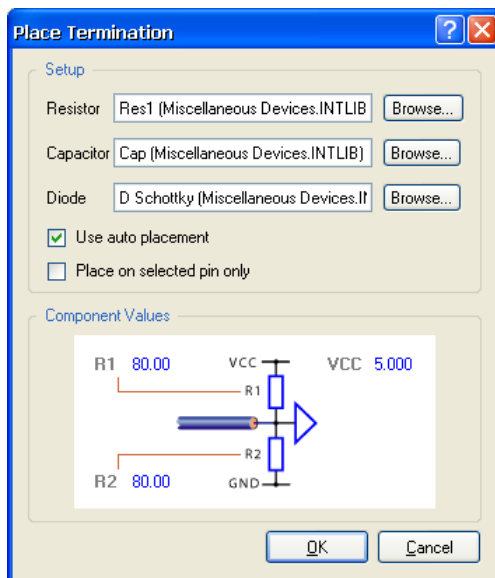
2. 定数の最小値と最大値は、スイープ数（終端のリストに表示されます）が 1 以上の数値に設定される時に使用されます。
3. 終端の種類についての詳細な情報は、**Help (?)** ボタンをクリックすれば表示されます。**Suggest** オプションが有効になっている場合は、推奨の定数が計算され（各終端の種類の情報ポップアップに記載された公式によります）ライトグレーで表示されています。この値を採用するか、必要ならば **Suggest** オプションを無効にし、他の定数を入力することもできます。
4. もし、スイープを設定したい場合は、**Perform Sweep** が有効で、解析が実行される時に必要な **Sweep Steps** の数が設定されていることを確認します。定数の比較検証のため、スイープごとに波形が生成されることに注意してください。

回路図に終端を配置

一度、波形が作成され最適な終端が見つければ、回路図シートに直接、終端を配置することができます。それは、**termination** リストでマウス右クリックすることで可能です。回路図への終端の配置は、現在、選択されたネットにのみ適用されることに注意して下さい。

もし、'仮想の終端'としてではなく、選択した終端回路を実際に回路図に配置したいならば、

1. **Signal Integrity** パネルの **Termination** の項目内でマウス右クリックし **Place on Schematic** を選択します。
2. 終端用に使用するライブラリコンポーネントのようなさまざまな属性の設定、部品配置を自動あるいはマニュアルで行なうかの設定、選択したピンにのみ終端を配置する設定、部品に使用する正確な定数などの設定項目を持った **Place Termination** ダイアログが表示されます。**OK** をクリックして続けます。



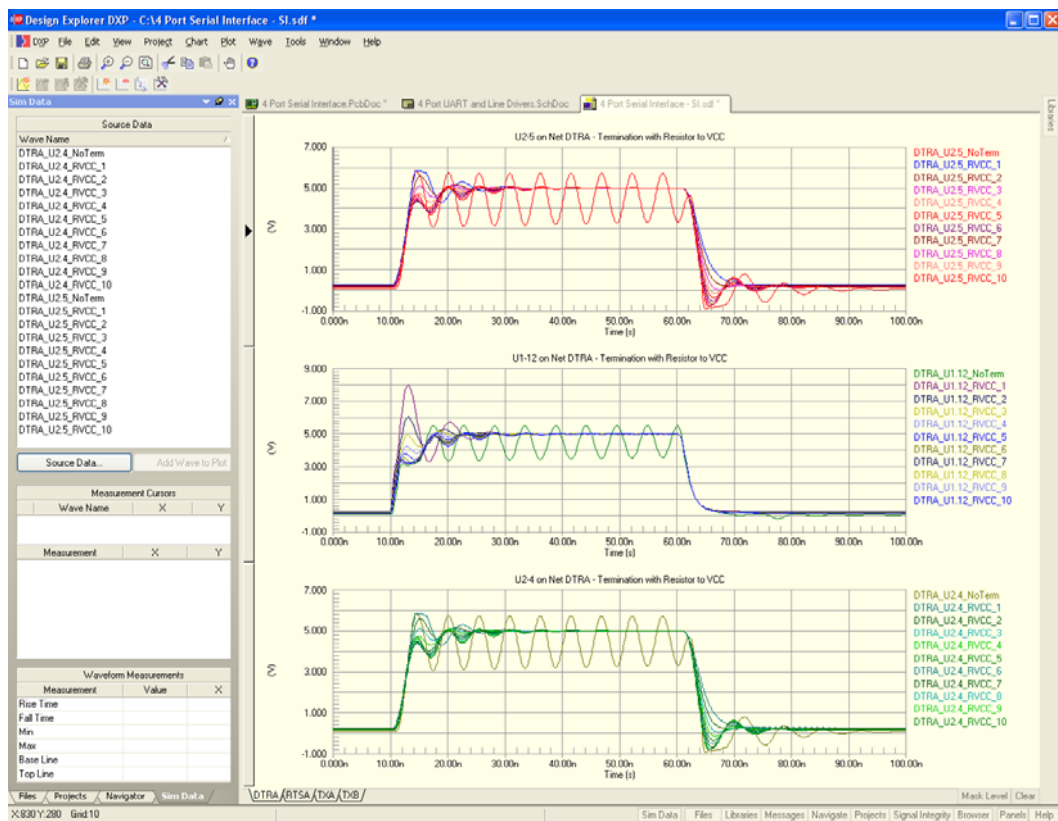
3. シグナルインテグリティ・アナライザは、目的のピンを含んだソース回路図を検索し、そしてドキュメントの空いている個所に正しい定数を持った必要な素子（抵抗、コンデンサまたは必要なものは何でも）やパワーオブジェクトを追加します。回路図の目的のピンに終端素子を接続します。

シグナルインテグリティ解析の実行

この後に、追加した素子をピンに正確に配線することが必要になるかもしれないことに注意してください。更に、PCBに、同様に追加した素子を含める場合、同期させ PCB で配線する必要があります。**Design » Update PCB** を選択して、同様にこれらの部品を追加する為に PCB を回路図と同期させます。

解析の実行

1. 必要なネットの設定（と終端オプションの選択）が完了したら、波形を生成する為に **Reflection Waveforms** または **Crosstalk Waveforms** ボタンをクリックします。
2. 解析が開始され、シミュレーション波形ファイル(PCBDesignName.sdf)が作成されます。このファイルは、**Projects** パネルの Generated\Simulation documents フォルダに表示され、分割されたタブで開きます。そして、**Simulation Data** エディタの波形解析画面に解析結果が表示されます。
3. 選択した各ネットについて、チャートが生成され波形解析画面に波形が表示されます。



反射

反射解析は、複数のネットをシミュレーションすることが可能です。しかし解析するネットの数に応じて解析に要する時間が必要になるので、ネットの数は現実的な数に留めるべきです。

シグナルインテグリティ・アナライザは、PCB からの層の構成や配線の情報およびドライバーレシーバーの I/O バッファモデルを使用してネットの各ノードの電圧を計算します。2 次元解析ソルバーは自動的に伝送線路の電気的特性を計算します。DC 通過ロスは無視できるぐらい十分に小さいと仮定してモデリングされています。

選択された各ネットについては、チャートが生成され、波形解析画面内のネット名称のタブと共に解析結果が表示されます。チャートには、終端オプションの波形が含まれています。

クロストーク

クロストークの解析では、2 つ以上のネットを必要とします。通常、ノイズ発生源のネットとそのすぐ隣の 2 つまたは 3 つのネットが解析対象となります。

クロストークのレベル（または EMI の範囲）は、信号線の反射の大きさに比例します。もし、信号の乱れを少なくし反射の影響も無視できるレベルまで下ることができれば、信号はロスなく終端まで伝達されクロストークもまた最小になるでしょう。詳細な情報は、終端の項も参照ください。

クロストーク解析では、全てのネットは Crosstalk Analysis という名称のチャートに表示されます。

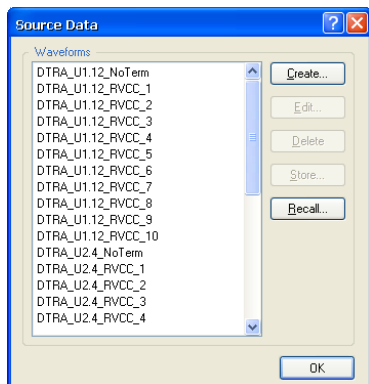
波形解析画面の使用

シミュレーションデータ・エディタの波形解析画面には、個々のシミュレーション解析実行毎に追加される複数のタブがあります。各タブは複数の波形プロットを表したチャートを含み、各波形プロットは複数のシミュレーションデータの波形を表示することができます。この画面には、4 つまでの測定プロットを同時に表示することができます。

ソースデータの選択

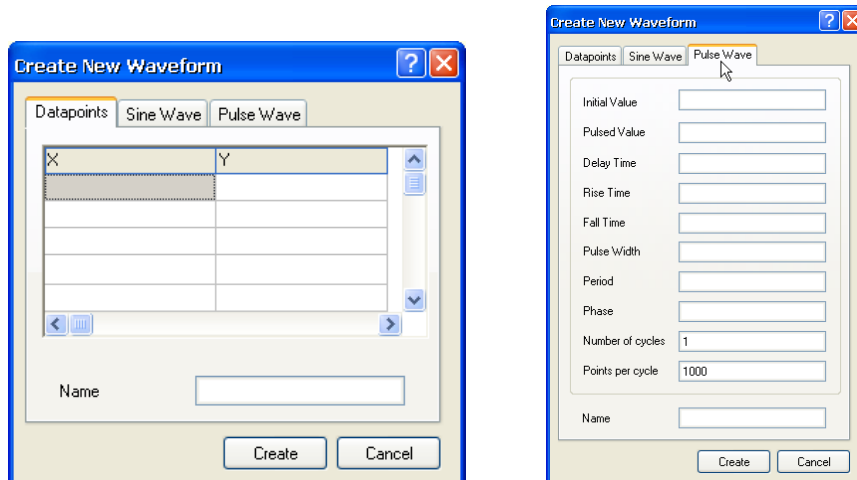
初期のソースデータは、シグナルインテグリティの設定に含まれていた全てのネットから構成され、Sim Data パネルの Waveforms の項目にリスト表示されます。更に、アクティブチャートで使用できるソースシミュレーション波形のリストを設定することができます。

1. メニューから **Chart » Source Data** を選択するか、**Sim Data** パネルの **Source Data** ボタンをクリックすると **Source Data** ダイアログが表示されます。このダイアログには、アクティブチャートで使用できるソースシミュレーション波形がリスト表示されています。



シグナルインテグリティ解析の実行

2. **Create** ボタンをクリックすると **Create New Waveform** ダイアログが開き、新たに表示を追加したい波形の一連のデータポイントに X、Y の値を登録するか、またはカスタムのサイン波、パルス波の設定することができます。



3. 新たな信号波形の設定を行なってから **Create** ボタンをクリックすると、**SimData** パネルの波形リストに波形名称が追加されます。
4. **Source Data** ダイアログでは、波形データを ASCII テキストファイル(WaveformName.wdf)で保存することができます。これらの波形ファイルは、いつでも再び読み込んでリストに加えることができます。
5. **Create** ボタンで作成したユーザー設定の波形は、**Edit** ボタンをクリックして編集することができます。詳細な情報は、**ユーザー定義波形の編集**の項目を参照して下さい。

波形画面での作業

アクティブチャートとプロットの選択

波形解析画面の下部にあるタブ名称をクリックしてチャートを選択します。波形プロットの範囲内をクリックすることにより、個々のプロットをアクティブにすることができます。

ドキュメント オプション

Document Options ダイアログ(**View » Document Options**)で **Number of Plots Visible** オプションが **All** に設定されている場合、アクティブな波形プロットは、波形名称の周りが黒の実線で縁取られて識別されます。

Number of Plots Visible オプションが **1**, **2**, **3** または **4** に設定されている場合、アクティブな波形プロットは、その表示範囲の左側に黒い矢印で識別されます。

波形の選択

波形解析画面で、波形名称をクリックするとその波形が選択されます。選択された波形は太線になり、名称の隣にドットが表示されます。そして、選択されていない他の波形はマスク（薄く）表示されま

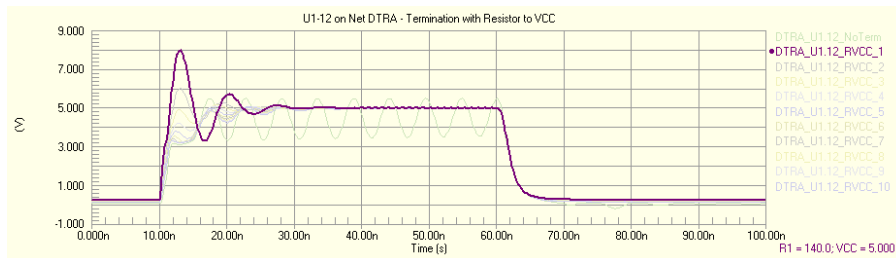
す。**Mask Level** ボタンをクリックするとマスクのコントラストを調整でき、**Clear** ボタン（ショートカット **Shift+C** または **ESC** キー）をクリックするとセレクションのマスクが解除されます。

更に、矢印キーやマウスホイールを使用して、波形名を上下に移動することができます。プロットの表示波形名称の数が多く表示しきれない場合、スクロールアローが表示され、矢印をクリックすることで全リストを見ることができます。

Document Options ダイアログ(**View » Document Options**)の **Highlight Similar Waves** オプションを有効にすると、同じスイープでの全ての波形をハイライト表示することができます。

波形の拡大

波形表示の拡大したいエリアをマウスでドラッグして選択するとズーム表示します。波形全体を再度表示するにはマウス右クリックで **Fit Waveforms** を選択します。



波形の移動

波形プロットから別のプロットへ波形を移動したい場合、移動したい波形の名称部分をクリックして、移動したいプロットの場所までドラッグします。

波形プロットの波形を表示

新たな波形プロットで波形を表示したい場合、

1. まず **Number of Plots Visible**(**View » Document Options**)が **All** に設定されていることを確認します。
2. 波形の名称部分をクリックし、ブランクの波形プロットかチャートの最後の波形プロットの更に下までドラッグします。新しい波形プロットが作成されます。

プロットへ波形を追加

チャートのアクティブな波形プロットに新たな波形を追加するには、

1. 波形プロットの領域内をクリックし、波形解析画面内で新規の波形を追加したいプロットをアクティブにします。
2. メニューから **Wave » Add Wave** を選択し、**Add Wave to Plot** ダイアログを表示させます。
3. シミュレーション波形のリストから波形を選択します。もし必要があれば、**functions** 欄に用意された演算子を **Expression** に追加して数学的手法で言語式を作成し、波形を加工して表示することもできます。
4. **Create** をクリックして、新たな波形が波形プロットに追加されます。

ユーザー定義波形の編集

Create New Waveform ダイアログを使用して手動で作成したユーザー定義の波形を編集することはできますが、シミュレーションの結果として生成された波形を編集することはできません。これらの波形を変更するには、回路図を修正するか、PCB またはシグナルインテグリティ解析に戻り設定を変更する必要があります。

Edit Wave コマンドでは、既存の波形から新規の言語式を作成することができます。

1. 波形解析画面で波形名をクリックし、編集したい波形が選択されていることを確認します。
2. メニューから **Wave » Edit Wave** を選択し、**Edit Waveform** ダイアログを表示させます。
3. このダイアログを使用して、選択された波形に関連する数学的手法の言語式を使用して波形を新たに作成するか、または **Waveform** リストに表示されている波形リストから新しい波形を選択して波形を変更します。

波形の保存と再読み込み

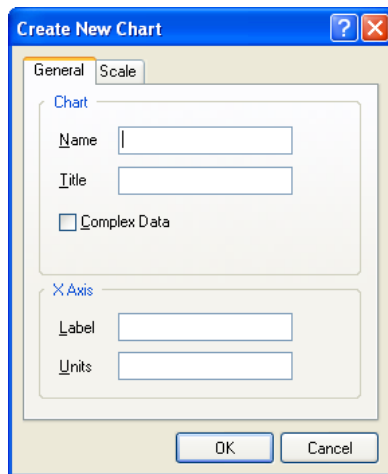
Tools » Store Waveform を選択して、WaveformName.wdf というファイル名で ASCII テキストファイル形式として波形を保存することができます。.wdf ファイルは X Y 値ペアによって表される一連のデータポイントで波形を表現しています。一旦、ユーザー定義した波形が保存され、再度読み込まれた場合、読み込まれたその波形はもはや編集できない点に注意してください。

保存された波形を再度、読み込むには **Tools » Recall Waveform** を選択し、表示された **Recall Stored Waveform** ダイアログで .wdf ファイルを選択します。波形名称が、アクティブチャートの **Source Data** 欄のリストに再度、読み込まれます。

新しいチャートの作成

現在の .sdf ファイルに追加する新しいチャートを作成することができます。

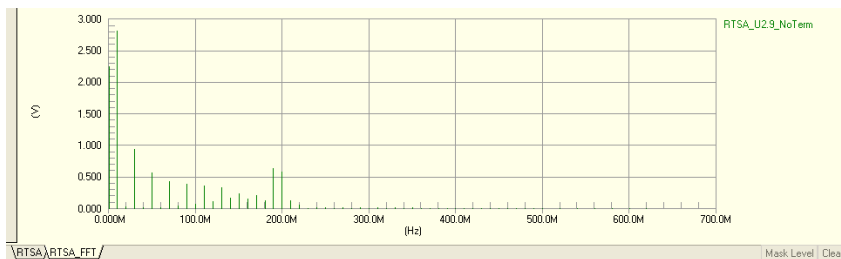
1. メニューから **Chart » New Chart** を選択し、**Create New Chart** ダイアログを表示します。
2. 追加する波形の名称とタイトルを記入し、X 軸のラベルと単位を設定します。さらに複雑なデータをチャートに表示するかどうか指定することができます。
3. **OK** をクリックすると、新しいブランクチャートが波形解析画面に表示され、このチャートのタブがドキュメントの最後に追加されます。



FFT チャートの作成

アクティブなチャートで高速フーリエ変換 (FFT) を実行し、結果を新しいチャートで表示することができます。

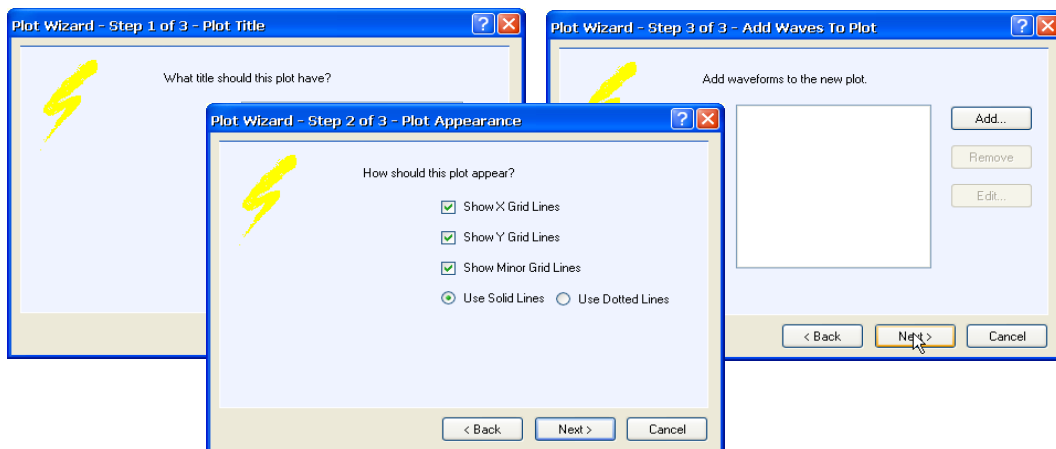
1. 高速フーリエ変換を実行したいチャートを波形解析画面の下部のタブでクリックします。
2. **Chart » Create FFT Chart** を選択します。FFT が実行され、結果は新しいチャートに表示されます。それは新しいタブ(<netname>_FFT)として追加され、画面上でアクティブチャートとして作成されます。



新しいプロットの作成

Plot Wizard を使用して、既存か新しいチャートに新しいプロットを追加することができます。

1. メニューから **Plot » New Plot** を選択すると、Plot Wizard の最初のページが表示されます。追加するプロットの名称を入力して **Next** をクリックします。



2. プロットに表示する項目を設定して **Next** をクリックします。
3. **Add** ボタンをクリックして **Add Wave to Plot** ダイアログで追加する波形を選択し（または、言語式を追加）、**Create** をクリックします。
4. **Next** をクリックして波形の追加を続けるか、**Finish** をクリックしてウィザードを終了させます。新しいプロットが波形解析画面に表示されます。

SimData パネルの使用

SimData パネルでは、利用可能なソースデータからアクティブ波形プロットへ波形を追加したり、測定用カーソルを使用して、選択された波形の各ポイントを測定しその情報を表示することができます。

パネルの上部の波形項目には、シミュレーションで生成された全ての利用可能なソースデータ信号波形のリストが表示されています。このリストは、**Source Data** ダイアログ (**Chart » Source Data**) で表示されるリストと同じ内容です。**Source Data** をクリックして、このダイアログを開きます。

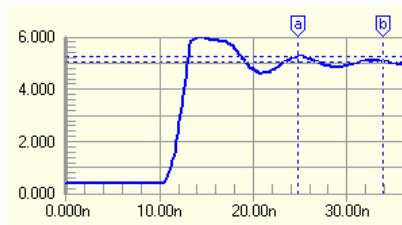
SimData パネルからプロットに波形を追加

波形解析画面で選択したプロットへ波形を追加するには、**Sim Data** パネルで追加したい波形を選択してから **Add Wave to Plot** ボタンをクリックします。

測定カーソル

パネルの **Measurement Cursors** の項目では、1 つあるいは両方の測定カーソルを使用して測定値を表示します。

- 2 種類の測定カーソル(A と B) は、波形解析画面内の選択した波形名称の部分でマウス右クリックして利用できます。カーソルをドラッグすることで目的の位置まで移動できます。



- 両方のカーソルについて、カーソルが現在割り当てられている波形の名称と X 軸、Y 軸データの値（カーソル位置での波形の座標）が表示されています。
- 計算された X と Y の値は、**SimData** パネルの **Measurement Cursors** の項目に表示されます。

波形の測定

ダイアログの **Waveform Measurements** の項目では、波形解析画面で選択した波形の立ち上がり、立下り時間といったさまざまな基本的な測定結果を表示します。

結果の分析後

解析結果を分析することで、例えば、選択したネットのリンギングを押さえるための最適な終端の選択を実験することができます。さらに回路図や PCB を変更して希望の結果に到達するまで、シグナルインテグリティを繰り返す必要があります。

Sim Data

Source Data

Wave Name

TXB_U1.19_NoTerm
TXB_U1.19_RVCC_2
TXB_U1.19_RVCC_3
TXB_U1.19_RVCC_4
TXB_U1.19_RVCC_5
TXB_U1.19_RVCC_6
TXB_U1.19_RVCC_7
TXB_U1.19_RVCC_8
TXB_U1.19_RVCC_9
TXB_U1.19_RVCC_10
TXB_U2.12_NoTerm
TXB_U2.12_RVCC_2
TXB_U2.12_RVCC_3
TXB_U2.12_RVCC_4
TXB_U2.12_RVCC_5
TXB_U2.12_RVCC_6
TXB_U2.12_RVCC_7
TXB_U2.12_RVCC_8

Source Data...

Add Wave to Plot

Measurement Cursors

Wave Name	X	Y
A TXB_U2.12_RVC...	24.723n	5.2347
B TXB_U2.12_RVC...	33.850n	5.0606

Measurement	X	Y
B - A	9.1274n	-174.12m
Minimum A...B	4.8453	
Maximum A...B	5.2539	
Average A...B	5.0230	
AC RMS A...B	118.76m	
RMS A...B	5.0245	
Frequency A...B	109.56MHz	

Waveform: TXB_U2.12_RVCC_2

Measurement	Value	X
Rise Time	1.775n	
Fall Time	9.690n	
Min	397.1mV	9.180ns
Max	5.959 V	14.77ns
Base Line	400.0mV	
Top Line	4.999 V	

Files Projects Navigator Sim Data

更新履歴

Date	Version No.	Revision
9-Dec-2003	1.0	New product release

Software, documentation and related materials:

Copyright © 2003 Altium Limited.

Copyright © 2005 Altium Japan.

All rights reserved. Unauthorized duplication, in whole or part, of this document by any means, mechanical or electronic, including translation into another language, except for brief excerpts in published reviews, is prohibited without the express written permission of Altium Limited. Unauthorized duplication of this work may also be prohibited by local statute. Violators may be subject to both criminal and civil penalties, including fines and/or imprisonment. Altium, DXP, Design Explorer, nVisage, Nexar, Protel, P-CAD, Tasking, CAMtastic, Situs and Topological Autorouting and their respective logos are trademarks or registered trademarks of Altium Limited. All other registered or unregistered trademarks referenced herein are the property of their respective owners and no trademark rights to the same are claimed.