



Xilinx® デバイスの利用、配置配線ツール

概要


このアプリケーションノートは先進のザイリンクスデザイナーの情報を配置配線ツールのオプションと属接コントロールする方法とともに提供します。また、ライブラリに関する情報含まれます。


Application note
AP0112 (v2.0) February 28, 2008


Altium Designer の FPGA 開発環境は、デジタルシステムのデザインキャプチャ、合成、配置、配線、FPGA へのダウンロードまでカバーしています。設計をターゲットに落とし込むためのプロセス、配置配線には、デバイスについての機能的、構造的詳細な理解が求められ、ベンダから提供されるソフトウェアツールによる高度な作業が必要です。自動的にすべてのプロジェクトやファイルの取り扱いを管理し、FPGA にプログラムするファイルを生成する Altium Designer の環境で、ベンダのソフトウェアは実行されます。Altium Designer には、このプロセスを効果的にコントロールするための機能があります。このアプリケーションノートでそれを紹介しましょう。

イントロダクション

Xilinx ツールは Altium Designer の環境に統合され、デバイスビュー (**View » Devices View**) から効果的にアクセスできるようになっています。このビューにより、FPGA 設計プロセスをステップ・バイ・ステップで進めていくことができるので、FPGA のシステムデザインの効果的なプログラムとデバッグが可能です。

 **Devices** ビューを設計プロセスで使用する際の詳細については、[Processing the Captured FPGA Design](#) のアプリケーションノートを参照してください。

 このアプリケーションノートは、何種類かのザイリンクスドキュメントを参照しています。デフォルト設定を変更したいユーザは、それらのドキュメント、*Xilinx Development System Reference Guide*, *Constraints Guide*, または *XST User Guide*. を参照してください。

 ザイリンクスツールに習熟していない方には、デフォルト設定で設計を始めることをお勧めします。

サポートするアーキテクチャ


Altium Designer は最新のザイリンクス製 FPGA テクノロジーをサポートしており、FPGA と PCB 回路図ライブラリのサポートも提供しています。下記の表は、サポートデバイステクノロジーと利用可能なライブラリサポートについて要約したものです (英語版リリース時)。

デバイステクノロジー	アーキテクチャに依存しないライブラリのサポートがあるか	アーキテクチャに依存する FPGA ライブラリ名 (*.IntLib)	関連する PCB ライブラリ名 (*.IntLib)
CoolRunner-II	Yes	Xilinx CoolRunner-II FPGA	Xilinx CoolRunner II
CoolRunner XPLA3	Yes	Xilinx CoolRunner-XPLA3 FPGA	Xilinx CoolRunner XPLA3
Spartan-II	Yes	Xilinx Spartan-II FPGA	Xilinx Spartan-II
Spartan-II E	Yes	Xilinx Spartan-II E FPGA	Xilinx Spartan-II E
Spartan-3	Yes	Xilinx Spartan-3 FPGA	Xilinx Spartan-3
Spartan-3 E	Yes	Xilinx Spartan3E FPGA	Xilinx Spartan-3E
Virtex	Yes	Xilinx Virtex FPGA	Xilinx Virtex
Virtex-II	Yes	Xilinx Virtex-II FPGA	Xilinx Virtex-II

デバイステクノロジー	アーキテクチャに依存しないライブラリのサポートがあるか	アーキテクチャに依存するFPGA ライブラリ名(*.IntLib)	関連する PCB ライブラリ名 (*.IntLib)
Virtex-II PRO	Yes	Xilinx Virtex-II Pro FPGA	Xilinx Virtex-II Pro
Virtex-4	Yes	Xilinx Virtex-4 FPGA	Xilinx Virtex-4
Virtex-E	Yes	Xilinx Virtex-E FPGA	Xilinx Virtex-E
XC18V00	N/A (利用不可) ¹	N/A (利用不可) ¹	Xilinx XC18V00
XC9500	Yes	Xilinx XC9500 FPGA	Xilinx PLD XC9500
XC9500XL	Yes	Xilinx XC9500XL FPGA	Xilinx PLD XC9500XL
XC9500XV	Yes	Xilinx XC9500XV FPGA	Xilinx PLD XC9500XV
XCF	N/A (利用不可) ¹	N/A (利用不可) ¹	Xilinx XCF

FPGA アーキテクチャに依存しないライブラリ

デバイスへの非依存性を保つため、Altium Designer には、典型的で一般的なデザインコンポーネントの豊富なライブラリ *FPGA Generic Library* が含まれています。この統合ライブラリは、Altium Designer をインストールしたフォルダの

 library\FPGA ディレクトリにあります。

FPGA の一般的なライブラリについての詳細は、[FPGA Generic Library Guide](#) を参照してください。

FPGA アーキテクチャに依存したライブラリ

デバイス非依存が要求されない場合、ザイリンクスの FPGA ライブラリが提供されています。これらの統合ライブラリには、コンポーネントの Unisim と Macro の両タイプが含まれています。

ベンダに特化した統合ライブラリは、*Xilinx Libraries Guide* で提供されるセクションガイドのパッケージです。この場合、ターゲットデバイスに使用できるのは特化したコンポーネントだけであることを注意してください。この FPGA 設計ライブラリは、Altium Designer をインストールしたフォルダの \Library\Xilinx ディレクトリにあります。

ザイリンクスのコアジェネレータ コンポーネントのサポート

ザイリンクスのコアジェネレータを使用して作成される特定のコアを FPGA デザインに使うことができます。コアを生成し、生成された EDIF ファイルを回路図コンポーネントにリンクさせ、そのコンポーネントを FPGA デザインに配置します。

EDIF ファイルからコンポーネントシンボルを作成するには、ソフトウェアからファイルを開き、メニューから **Design » Create Schematic Part From File** を選択します。EDIF ファイルは FPGA プロジェクトのフォルダ、または、ユーザがあらかじめ合成しておいたモデルのフォルダ (*Preferences* ダイアログ (**DXP » Preferences**) の FPGA – Synthesis のページで指定) に置いておく必要があります。

統合PCBライブラリ

ザイリンクスの多くのプログラマブルデバイス用に、PCB デザインのライブラリも提供されています。Altium Designer がインストールされているフォルダの \Library\Xilinx ディレクトリをご覧ください。これらのライブラリには、回路図シンボル、PCB フットプリント、3D モデル、シグナルインテグリティモデルが含まれています。

ザイリンクスの配置配線ツールの構成

配置配線ツールは、Device ビュー内のターゲット (物理的デバイス) に関連する Process Flow の Build ステージから、アクセスし、設定することができます。ザイリンクス製のデバイスがターゲットのときに、Process Flow を有効にし、表示させるには、以下のようにする必要があります。

- 適切なザイリンクスの配置配線ツールをインストールする - ツールのフルセット、または、ザイリンクスウェブからのフリーダウンロード版

¹ PROM デバイスのコンフィギュレーションなので利用できません。

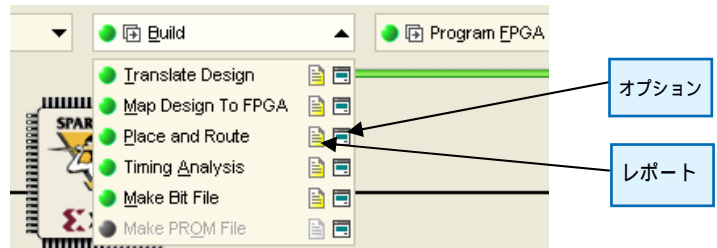
- ザイリンクスのターゲットアーキテクチャに適合するデザインを作成。これは、既存のプロジェクト構成（Project Configuration Manager）に属するプロジェクト制約ファイルに、適切なデバイス制約条件を含めることによって達成されます。

ターゲットFPGAのデザインの作成や設定の例についての詳細は、[Getting Started with FPGA Design](#) を参照してください。

ビルドのオプション

Build プロセスは、ザイリンクスのツールとのインターフェースであり、ビットストリーム（BIT）ファイルを提供して、FPGA へのダウンロードができるようにします。下向きの矢印をクリックすると、Build プロセスを完成させるのに使う各ステップのリストが表示されます。

各ステージの隣にあるオプションアイコンをクリックして、機能を設定します。エラー、またはターゲットのアーキテクチャや設計上の許されない設計ルールがあった場合は、Build プロセスの各ステージで警告されます。デザイン内の場所や、エラー、警告は、レポートファイルにログが残ります。目的のレポートアイコンをクリックしてください。



ザイリンクスツールでもう少し詳細なオプションコントロールを行いたい経験豊富なユーザの場合は、Build プロセスの各ステージがスクリプトファイルにリンクされていることを知っておいてください。ファイルは Altium Designer がインストールされているフォルダの \System ディレクトリにあります。これらのスクリプトでは、標準の最適化がデフォルトであることに注意してください。変更には、ザイリンクスの *Development System Reference Guide* にしたがった注意が必要です。Build ステージ、オプション、関連するデフォルトのスクリプトファイルについては、以降のセクションでそれぞれ説明します。

設計の変換

このステージでは、ザイリンクスの NGDBuild ツールを起動し、EDIF 出力を FPGA プロジェクトの合成プロセスから、NGD（Native Generic Database）ファイルや NPL（Navigator project）ファイルに変換します。このプロセスでは、論理設計のルールチェックも実行され、設計がターゲット FPGA へのマッピングに適合していることを確認します。このプロセスで有効なオプションについての詳細は、ザイリンクスの *Development System Reference Guide* の第 6 章を参照してください。

オプションアイコンをクリックしても出てこない、さらに進んだオプションの使い方については、DefaultScript_Xilinx_NGBuild.Txt のスクリプトファイルにアクセスしてください。ザイリンクスのドキュメントにしたがって、NGDBuild スイッチをこのファイル内に設定することができます。必要なら、ザイリンクスプロジェクトは Xilinx Project Navigator に開くことができます。

FPGAへのデザインマッピング

このステージでは、ザイリンクスの MAP ツールを起動して、NGD ファイルをザイリンクスのターゲット FPGA で利用可能なロジックにマッピングします。このプロセスで、フィジカルデザインのルールチェックが実行され、ターゲット FPGA に潜在しているフィジカルとロジカルのエラーを発見します。プロセスの出力は、NCD（Native Circuit Description）ファイルです。このプロセスで有効なオプションについての詳細は、ザイリンクスの *Development System Reference Guide* の第 8 章を参照してください。

オプションアイコンをクリックしても出てこない、さらに進んだオプションの使い方については、DefaultScript_Xilinx_MAP.Txt のスクリプトファイルにアクセスしてください。ザイリンクスのドキュメントにしたがって、Map スイッチをこのファイル内に設定することができます。

配置配線

このステージでは、ザイリンクスの PAR ツールを起動し、MAP プロセスから NCD ファイル出力を使用して、配置と配線を行います。配置、配線された NCD ファイルは、ビットストリームジェネレータに適合するように供給されます。このプロセスで有効なオプションについての詳細は、ザイリンクスの *Development System Reference Guide* の第 10 章を参照してください。

オプションアイコンをクリックしても出てこない、さらに進んだオプションの使い方については、DefaultScript_Xilinx_PlaceAndRoute.Txt のスクリプトファイルにアクセスしてください。ザイリンクスのドキュメントにしたがって、PAR スイッチをこのファイル内に設定することができます。

タイミング解析

このステージでは、ザイリンクスの Trace (タイミングのレポートと評価) ツールを起動します。このツールは、タイミング制約の入力を基にして、スタティックなタイミング解析を行います。デザインがタイミング制約にマッチしていることを検証、解析レポートを生成します。このプロセスで有効なオプションについての詳細は、ザイリンクスの *Development System Reference Guide* の第 13 章を参照してください。

オプションアイコンをクリックしても出てこない、さらに進んだオプションの使い方については、DefaultScript_Xilinx_Trace.Txt のスクリプトファイルにアクセスしてください。ザイリンクスのドキュメントにしたがって、Trace スイッチをこのファイル内に設定することができます。タイミング解析の機能は必要に応じてオフにすることができます。Timing Analysis のオプションアイコンをクリックしてください。

BIT ファイルの作成

このステージでは、ザイリンクスの BitGen ツールを起動して、ビットストリーム (BIT) ファイルを配置配線されたデザイン (NCD) ファイルから作成します。BIT ファイルは、FPGA のダウンロードとプログラミングに使用します。あるいは、PROM ファイルを作成するステージで、PROM ファイルを作成するのに使用します。このプロセスで有効なオプションについての詳細は、ザイリンクスの *Development System Reference Guide* の第 15 章を参照してください。

オプションアイコンをクリックしても出てこない、さらに進んだオプションの使い方については、DefaultScript_Xilinx_BitGen.Txt のスクリプトファイルにアクセスしてください。ザイリンクスのドキュメントにしたがって、BitGen スイッチをこのファイル内に設定することができます。

PROM ファイルの作成

このオプションステージは、ザイリンクスのコンフィギュレーションデバイス用にプログラムファイルを生成するのに使用します。ターゲット PROM がオプションアイコンのクリックで選択されると、このオプションが利用できるようになります。ザイリンクスの PromGen ツールが起動します。出力フォーマットは選択したターゲットデバイスに依存しています。このプロセスで有効なオプションについての詳細は、ザイリンクスの *Development System Reference Guide* の第 16 章を参照してください。

オプションアイコンをクリックしても出てこない、さらに進んだオプションの使い方については、DefaultScript_Xilinx_PromGen.Txt のスクリプトファイルにアクセスしてください。ザイリンクスのドキュメントにしたがって、PromGen スイッチをこのファイル内に設定することができます。

ザイリンクスの制約条件のエントリ

Altium Designer の FPGA 設計環境は、デバイスに依存しない幅広い制約条件をサポートしています。しかしながら、すべての FPGA ファミリが同じテクノロジーを共有しているわけではないので、使用可能なベンダの制約条件を使う場合があります。ザイリンクスのツールは、さまざまな制約条件をサポートすることで、内部テクノロジーやその他の設計オプションの長所を引き出しています。ザイリンクスの FPGA 制約条件についての詳細は、ザイリンクスの *Constraints Guide* を参照してください。特定のデザインに対するザイリンクスの制約条件には、FPGA プロジェクトに UCF (User Constraint File) を追加することができます。複数の制約条件ファイルを追加することができます。Ignore UCF file オプションを無効にし、Build プロセスの Translate Design のステージに関連するオプションボタンをクリックすると、プロジェクト内で使用できるようになります。

ザイリンクス XST シンセサイザのコンフィギュレーション

Altium Designer には、強力な合成エンジンがビルトインされており、デフォルトで使用することができます。合成エンジンは Altium Designer 環境内でのザイリンクスの XST シンセサイザの使用をサポートしています。FPGA プロジェクトがこの合成ツールを活用できるようにするため、プロジェクト合成オプションが XST Synthesizer に設定される必要があります。実行するには、Project » Project Options をメニューから選択し、Synthesis タブをクリック。XST Synthesizer を Synthesizer リストのドロップダウンから選びます。この選択が行われると、XST バイナリ実行ファイルが常駐するフォルダを、関連する閲覧ボタン (...) のドロップダウンを使って指定しなくてはなりません。Synthesis タブのオプションの領域は、XST の関連オプションになります。デザインに最適な構成を行ってください。

Synthesis タブに出てこない、さらに進んだオプションの使い方については、\System フォルダにある DefaultScript_XST_CPLD.Txt および DefaultScript_XST_FPGA.Txt のスクリプトファイルにアクセスしてください。XST スイッチはザイリンクスの XST User Guide にしたがって設定してください。

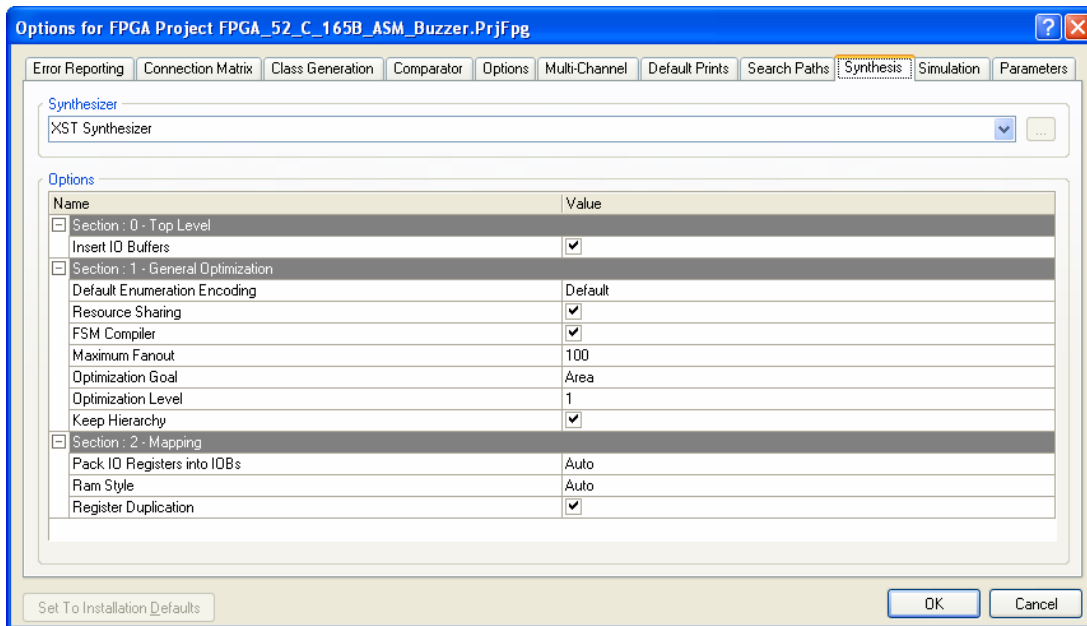



図1 ギャリックス XST シンセサイザのオプション設定

 ギャリックスの合成ツールに習熟していない方には、Altium Designer にビルトインされている DXP、またはアルティウムの合成エンジンで設計を始めることをお勧めします。

更新履歴

日付	バージョン番号	変更内容
19-Dec-2003	1.0	New product release
12-Jul-2005	1.1	Updated for Altium Designer SP4
20-Sep-2005	1.2	Spartan-3E added to list of supported architectures
12-Dec-2005	1.3	Path references updated for Altium Designer 6
28-Feb-2008	2.0	Updated for Altium Designer Summer 08

ソフトウェア、ハードウェア、文書、および関連資料

Copyright © 2008 Altium Limited.

All rights reserved. この文書の印刷は、(1) 個人的使用に限定し、ネットワークコンピュータやあらゆる種類の媒体にコピーや送付を行わない、かつ (2)

文書の変更をまったく行わない、という条件でのみ行なうことができます。Altium Limited

の事前の書面による許可なく、本書の全体または一部を問わず、機械的または電子的な複製、他言語への翻訳を禁じます。ただし、公表するレビュー目的での抜粋を除きます。

本書の無許可の複製は、各国の法律でも禁止されています。違反者は、罰金や実刑を含む刑罰と民事罰両方の対象となることがあります。Altium、Altium Designer、Board Insight、CAMtastic、CircuitStudio、Design

Explorer、DXP、LiveDesign、NanoBoard、NanoTalk、Nexar、nVisage、P-- CAD、Protel、SimCode、Situs、TASKING、Topological Autorouting、およびそれぞれに対応するロゴは、Altium Limited またはその子会社の商標または登録商標です。

本書に記載されているそれ以外の登録商標や商標はそれぞれの所有者の財産であり、商標権を主張するものではありません。