



Altera® デバイスの利用、配置配線ツール

概要

このアプリケーションノートは先進のアルテラデザイナーの機能、配置配線ツールのオプションと属接コントロールする方法とともに提供します。また、ライブラリに関する情報も含まれます。


Application note


AP0113 (v2.0) February 29, 2008


Altium Designer の FPGA 開発環境は、デジタルシステムのデザインキャプチャ、合成、配置、配線、FPGA へのダウンロードまでカバーしています。設計をターゲットに落とし込むためのプロセス、配置配線には、デバイスについての機能的、構造的詳細な理解が求められ、ベンダから提供されるソフトウェアツールによる高度な作業が必要です。自動的にすべてのプロジェクトやファイルの取り扱いを管理し、FPGA にプログラムするファイルを生成する Altium Designer の環境で、ベンダのソフトウェアは実行されます。Altium Designer には、このプロセスを効果的にコントロールするための機能があります。このアプリケーションノートでそれを紹介しましょう。

イントロダクション

Altera ツールは Altium Designer の環境に統合され、デバイスビュー (View » Devices View) から効果的にアクセスできるようになっています。このビューにより、FPGA 設計プロセスをステップ・バイ・ステップで進めていくことができるので、FPGA のシステムデザインの効果的なプログラムとデバッグが可能です。

 **Devices** ビューを設計プロセスで使用する際の詳細については、[Processing the Captured FPGA Design](#) のアプリケーションノートを参照してください。

 このアプリケーションノートは、アルテラの *Introduction to Quartus II Manual* を参照しています。デフォルト設定を変更したいユーザは、それらのドキュメントを参照してください。

 アルテラツールに習熟していない方には、デフォルト設定で設計を始めることをお勧めします。

サポートするアーキテクチャ

Altium Designer は最新のアルテラ製 FPGA テクノロジーをサポートしており、FPGA と PCB 回路図ライブラリのサポートも提供しています。下記の表は、サポートデバイステクノロジーと利用可能なライブラリサポートについて要約したものです (英語版リリース時)。

デバイステクノロジー	アーキテクチャに依存しないライブラリのサポートがあるか	アーキテクチャに依存する FPGA ライブラリ名 (*.IntLib)	関連する PCB ライブラリ名 (*.IntLib)
Cyclone	Yes	Altera FPGA	Altera Cyclone
Cyclone II	Yes	Altera FPGA	Altera Cyclone II
MAX II	Yes	Altera FPGA	Altera MAX II
Max3000A	Yes	Altera FPGA	Altera MAX 3000A
Max7000AE	Yes	Altera FPGA	Altera MAX 7000AE
Max7000B	Yes	Altera FPGA	Altera MAX 7000B
Max7000S	Yes	Altera FPGA	Altera MAX 7000S
Stratix	Yes	Altera FPGA	Altera Stratix
Stratix II	Yes	Altera FPGA	Altera Stratix II

デバイステクノロジ	アーキテクチャに依存しないライブラリのサポートがあるか	アーキテクチャに依存する FPGA ライブラリ名 (*.IntLib)	関連する PCB ライブラリ名 (*.IntLib)
Stratix GX	Yes	Altera FPGA	Altera Stratix GX

FPGA アーキテクチャに依存しないライブラリ

デバイスへの非依存性を保つため、Altium Designer には、典型的で一般的なデザインコンポーネントの豊富なライブラリ *FPGA Generic Library* が含まれています。この統合ライブラリは、Altium Designer をインストールしたフォルダの `library\FPGA` ディレクトリにあります。



FPGA の一般的なライブラリについての詳細は、[FPGA Generic Library Guide](#) を参照してください。

FPGA アーキテクチャに依存したライブラリ

デバイス非依存が不要な場合は、標準の Altera FPGA プリミティブライブラリが用意されています。Altium Designer がインストールされたフォルダの `\Library\Altera` ディレクトリを参照してください。

この統合ライブラリにはライブラリマッピング (LMF) が含まれています。これは、自動的に Build プロセスとリンクされ、生成されるデザインファイルをアルテラの配置配線ツールにマッピングします。

MegaWizard プラグインコンポーネントのサポート

アルテラ MegaWizard プラグインマネージャから利用可能な特定のコアを FPGA デザインに使用することができます。コアを生成し、生成された VHDL ファイルを回路図コンポーネントにリンクさせ、そのコンポーネントを FPGA デザインに配置します。

VHDL ファイルからコンポーネントシンボルを作成するには、ソフトウェアからファイルを開き、メニューから **Design » Create Schematic Part From File** を選択します。コンポーネントシンボルから VHDL ファイルを参照するには、`CoreFile='VHDL_Filename.vhd'` のパラメータを追加します。VHDL ファイルは、FPGA のプロジェクトフォルダ、あるいは CoreFile パラメータ内の場所に存在する必要があります。

MegaWizard についての詳細は、アルテラ *Introduction to Quartus II Manual* の *Instantiating Megafunctions in EDA Tools* のセクション (第 2 章) を参照してください。

統合 PCB ライブラリ

アルテラの多くのプログラマブルデバイス用に、PCB デザインのライブラリも提供されています。Altium Designer がインストールされているフォルダの `\Library\Altera` ディレクトリをご覧ください。これらのライブラリには、回路図シンボル、PCB フットプリント、3D モデル、シグナルインテグリティモデルが含まれています。

アルテラの配置配線ツールの構成

配置配線ツールは、Device ビュー内のターゲット (物理的デバイス) に関連する Process Flow の Build ステージから、アクセスし、設定することができます。アルテラ製のデバイスがターゲットのときに、Process Flow を有効にし、表示させるには、以下のようにする必要があります。

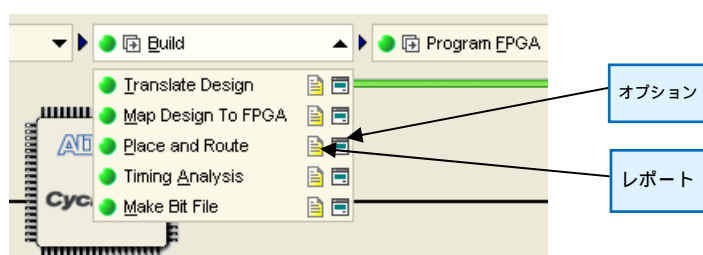
- 適切なアルテラの配置配線ツールをインストールする - ツールのフルセット、または、アルテラウェブからのフリーダウンロード版
- アルテラのターゲットアーキテクチャに適合するデザインを作成 これは、既存のプロジェクト構成 (**Project » Configuration Manager**) に属するプロジェクト制約ファイルに、適切なデバイス制約条件を含めることによって達成されます。



ターゲット FPGA のデザインの作成や設定の例についての詳細は、[Getting Started with FPGA Design](#) を参照してください。

ビルドのオプション

Build プロセスは、アルテラのツールとのインターフェースであり、RBF (Raw Binary File) のようなデバイスプログラムを提供して、ターゲット FPGA へのダウンロードができるようにします。下向きの矢印をクリックすると、Build プロセスを完成させるのに使う各ステップのリストが表示されます。



各ステージの隣にあるオプションアイコンをクリックして、機能を設定します。エラー、またはターゲットのアーキテクチャや設計上の許されない設計ルールがあった場合は、Build プロセスの各ステージで警告されます。デザイン内の場所や、エラー、警告は、レポートファイルにログが残ります。目的のレポートアイコンをクリックしてください。

アルテラツールでもう少し詳細なオプションコントロールを行いたい経験豊富なユーザの場合は、Build プロセスの各ステージがスクリプトファイル `DefaultScript_Quartus.Txt` にリンクされていることを覚えておいてください。ファイルは Altium Designer がインストールされているフォルダの `\System` ディレクトリにあります。これらのスクリプトでは、標準の最適化がデフォルトであることに注意してください。変更には、アルテラの *Introduction to Quartus II Manual* にしたがった注意が必要です。それぞれの Build ステージについて、以降のセクションで説明します。。

設計の変換

このステージでは、Quartus TCL (TCLQ) スクリプトを作成、設定して、(Quartus) ファイルのプロジェクトを作成。Build プロセスにおけるその後のあらゆるステップで使用できるようにします。TCL (TCLQ) スクリプトは、合成プロセスのフローで生成される `FPGA_HexMultiplier_constraints.tcl` や `FPGA_HexMultiplier_macros.tcl` ファイルにリンクしています。TCLQ ファイルはその後、`-t` スイッチを使用した Quartus II シェル (`Quartus_sh`) で実行されます。

アルテラプロジェクトは必要に応じて Quartus から開くことができます。

FPGAへのデザインマッピング

このステージでは、アルテラプロジェクトのデータベースと `map.eqn` ファイルを、Quartus II アナリシス&シンセシスツール (Quartus_Map) で作成します。ツールはすべてのデザインファイルにリンクしており、Quartus II TCL (TCLQ) のスクリプトファイルでテクノロジマッピングを実行します。

配置配線

このステージでは、Quartus II Fitter (Quartus_Fit) ツールと Quartus TCL (TCLQ) スクリプトファイルを実行してデザインをターゲット FPGA に配置、配線します。実行には、`.map`、`.eqn`、その他、マッピングデザインから FPGA へのプロセスで作成されたファイルを使用します。

タイミング解析

このステージでは、Quartus II タイミング解析 (Quartus_Tan) ツールを実行して、ターゲット FPGA にインプリメントされたロジックのスピードとパフォーマンスを解析します。解析オプションの構成には、オプションアイコンをクリックしてください。

BIT ファイルの作成

このプロセスでは、Quartus II アセンブラ (Quartus_Asm) ツールを実行して、アルテラデバイスのプログラマブルファイルとコンフィギュレーションファイルを生成します。ファイルには 16 進数 (インテルフォーマット) の出力ファイル (`.hexout`)、Raw バイナリファイル (`.rbf`)、Jam™ ファイル (`.jam`)、Jam バイトコードファイル (`.jbc`)、シリアルベクタフォーマットファイル (`.svf`) などがあり、チップ上にダウンロードされます。

アルテラ Quartus II シンセサイザの設定

Altium Designer には、強力な合成エンジンがビルトインされており、デフォルトで使用することができます。合成エンジンは Altium Designer 環境内でのアルテラの Quartus II シンセサイザの使用をサポートしています。FPGA プロジェクトがこの合成ツールを活用できるようにするため、プロジェクト合成オプションが **Altera Quartus II** に設定される必要があります。実行するには、**Project » Project Options** をメニューから選択し、**Synthesis** タブをクリック。 **Altera Quartus II** を **Synthesizer** リストのドロップダウンから選びます。この選択が行われると、`quartus_map` バイナリ実行ファイルが常駐するフォルダを、関連する閲覧ボタン (...) のドロップダウンを使って指定しなくてはなりません。 **Synthesis** タブのオプションの領域は、Quartus II の関連オプションになります。デザインに最適な構成を行ってください。

Synthesis タブに出てこない、さらに進んだオプションの使い方については、`\System` フォルダにある `DefaultScript_Quartus.Txt` のスクリプトファイルにアクセスしてください。解析と合成のスイッチについてはアルテラ *Introduction to Quartus II Manual* の記述にしたがって設定してください。

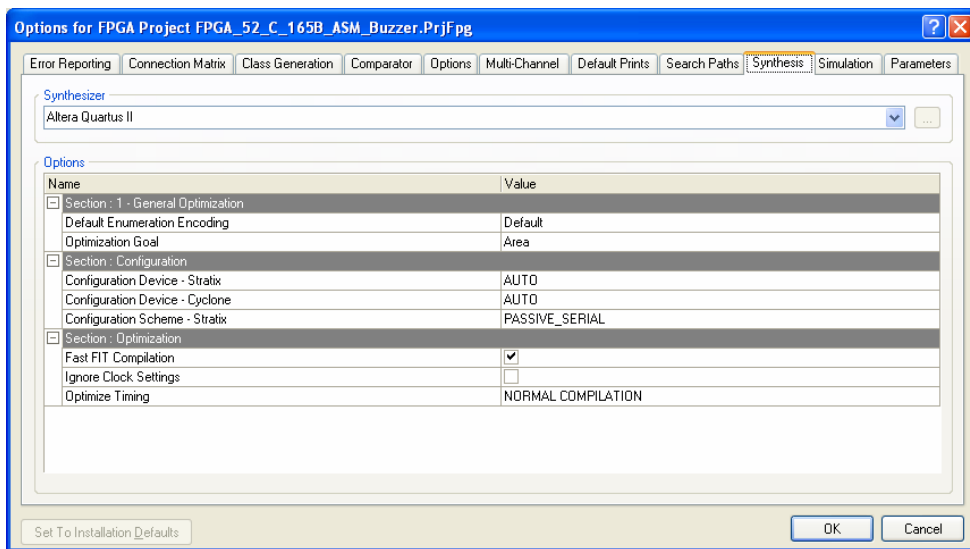


図 1 Altera Quartus II シンセサイザオプションの設定

 アルテラの合成ツールに習熟していない方には、Altium Designer にビルトインされている DXP、またはアルティウムの合成エンジンで設計を始めることをお勧めします。

更新履歴

日付	バージョン番号	変更内容
19-Dec-2003	1.0	New product release
12-Jul-2005	1.1	Updated for Altium Designer SP4
20-Sep-2005	1.2	Cyclone II added to list of supported architectures
12-Dec-2005	1.3	Path references updated for Altium Designer 6
29-Feb-2008	2.0	Updated for Altium Designer Summer 08

ソフトウェア、ハードウェア、文書、および関連資料

Copyright © 2008 Altium Limited.

All rights reserved. この文書の印刷は、(1) 個人的使用に限定し、ネットワークコンピュータやあらゆる種類の媒体にコピーや送付を行わない、かつ (2) 文書の変更をまったく行わない、という条件でのみ行うことができます。Altium Limited の事前の書面による許可なく、本書の全体または一部を問わず、機械的または電子的な複製、他言語への翻訳を禁じます。ただし、公表するレビュー目的での抜粋を除きます。本書の無許可の複製は、各国の法律でも禁止されています。違反者は、罰金や実刑を含む刑事罰と民事罰両方の対象となることがあります。Altium、Altium Designer、Board Insight、CAMtastic、CircuitStudio、Design Explorer、DXP、LiveDesign、NanoBoard、NanoTalk、Nexar、nVisage、P-- CAD、Protel、SimCode、Situs、TASKING、Topological Autorouting、およびそれぞれに対応するロゴは、Altium Limited またはその子会社の商標または登録商標です。本書に記載されているそれ以外の登録商標や商標はそれぞれの所有者の財産であり、商標権を主張するものではありません。