

概要

Article
AR0106 (v2.1) March 10, 2008

この記事では、Altium Designer を使用して回路図と PCB デザインを同期させておくためのプロセスについて概要を説明します。特にデザイン間の相違を検知し、分析する機能について紹介します。

回路デザインを新規 PCB ドキュメントへ初めて移行する場合や、回路図、PCB のいずれかの既存デザインの変更を行う場合も、双方での同期が必要になります。Altium Designer では、デザインを同期させるという問題を解決するために、強力なデザインの同期機能が搭載されています。これは、設計者から見ると最も重要であり、設計の仕事をもっと容易に取り組むことができます。

同期 - 概要

同期プロセスは、基本的に 3 つのステップに分類されます。

1. デザインドキュメントの比較 (例えば、プロジェクトソースドキュメントをターゲット PCB と比較)
2. その比較結果をリスト化 (比較したドキュメント間の相違を検知)
3. 相違を解決するために変更を実行

同期プロセスの重要な機能は、ユーザが設定できるコンパレータ (または、比較エンジン) です。このコンパレータは、上記のステップ 1 で使用します。 - 指定されたデザインドキュメントを比較し、相違のリストをコンパイルします。

ステップ 2 では、比較結果をリスト化するダイアログを表示して、相違を解決する時に作成されるデザインへの更新の方向をコントロールできます。詳細については、[更新方向の指示](#)の項目を参照してください。

ステップ 3 は、変更を実行するステップです。 - デザインを同期させるために実行する動作です。各動作は、Engineering Change Order (ECO) として表現された共有の動作であると共に、マクロコマンドです。詳細については、[デザイン更新の実行](#)の項目を参照してください。

右図は、同期プロセスの全体のフローを表します。

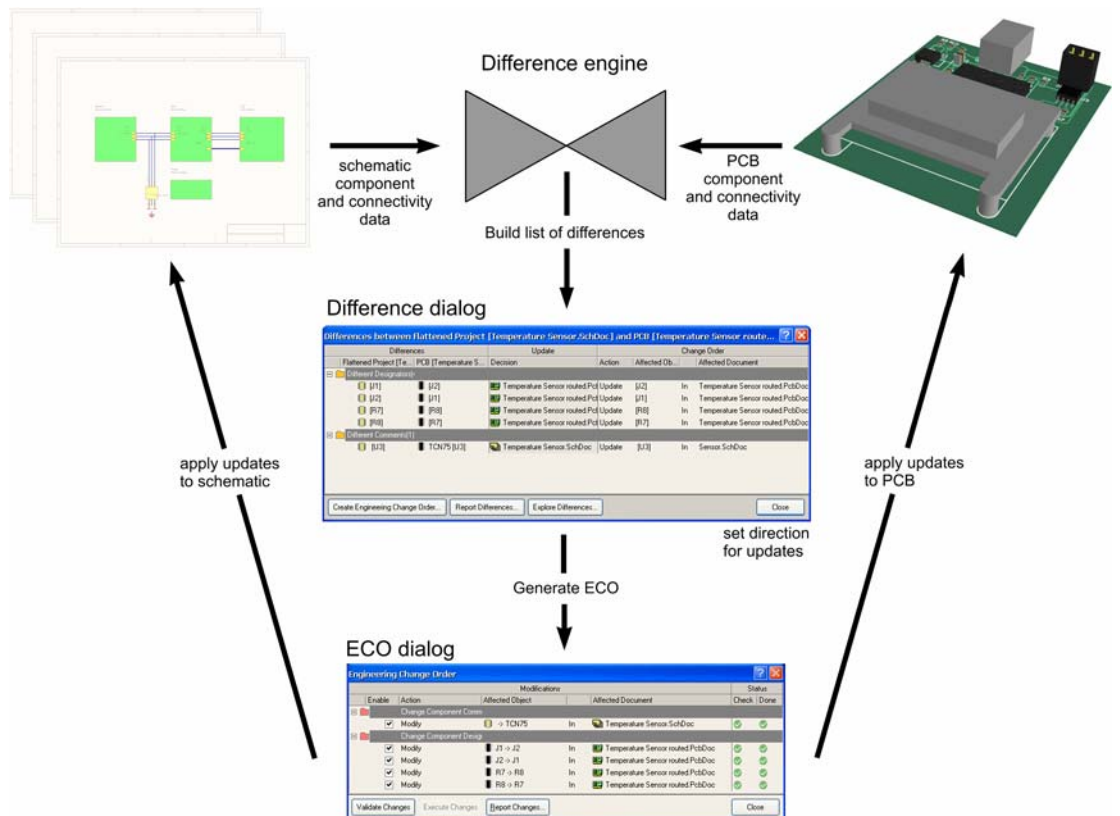


図 1 Altium Designer での同期プロセスのフロー

相違の検知

上述の通り、同期機能で非常に重要なのは比較機能で、この機能を無くしてデザインドキュメント間の相違を検知することはできません。比較機能は、すべての種類のドキュメント間でコンポーネントと接続情報を比較できます。以下は、比較できるドキュメントの種類です。

- プロジェクトのデザイン階層と PCB
- 回路図と回路図
- PCB と PCB
- ネットリストと PCB
- ネットリストとネットリスト

コンパレータは、**Project**メニューから利用できる**Show Differences**、または**Show Physical Differences**コマンドの様な比較に基づくコマンドが実行されると働きます。直接、回路図プロジェクトからPCBへ（あるいは、その逆）の比較更新を行う場合、**Design**メニューから**Update/Import**コマンドを使用して実行します（[回路図](#) ↔ [PCBのダイレクトな同期](#)を参照してください）。

コンパレータの設定

コンパレータが検知する相違の種類に対するコントロールを行います。コンパレータのコントロールは、プロジェクトの一部として保存されたすべての設定がある **Options for Project** ダイアログ (**Project** » **Project Options**) の **Comparator** タブからアクセスします。

比較の種類は、4つの項目に分かれています。

- Differences associated with Components** – コンポーネントレベルで実行される比較（例えば、回路図や PCB ドキュメントで異なったデジグネータを持つコンポーネントの検知）。
- Differences associated with Nets** – ネット（接続）レベルで実行される比較（例えば、回路図か PCB に存在する余分なネットの検知）。
- Differences associated with Parameters** – パラメータレベルで実行される比較（例えば、回路図と PCB の双方に存在する同じパラメータを持つが値が異なるオブジェクトの検知）。
- Differences associated with Physical** – 同じ回路図、または PCB の2つのバージョンを比較する時に物理的なレベルで実行される比較（例えば、比較したドキュメントのあるバージョンで余分な PCB オブジェクトの検知）。

必要に応じて、コンパレータを設定するためにコントロールを使用します。各比較タイプについて、検知した相違をコンパレータ(**Find Differences**)によって作られた最終的な相違のリストに追加するか、またはリストに含めない (**Find Differences**)か、決定できます。'Ignored' の比較タイプに設定する時の一例として、マルチチャンネルでないデザインの場合があります。この場合に、チャンネルに関連した比較タイプ (**Changed Channel Class Name**, **Channel Classes with Extra Members**, **Extra Channel Classes**)を無視する設定にできます。

更に、コントロールは、比較したドキュメント間でオブジェクトを一致させる時にコンパレータで使用した条件を利用できます。基本的に **Net**, **Net Class**, **Component Class** の設定は、これらのオブジェクトタイプの比較方法を微調整できます。

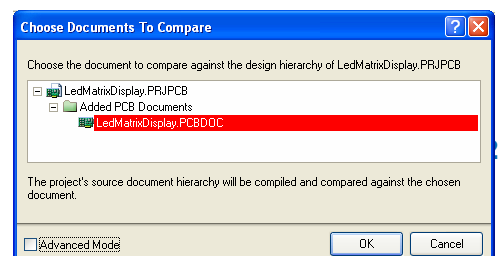
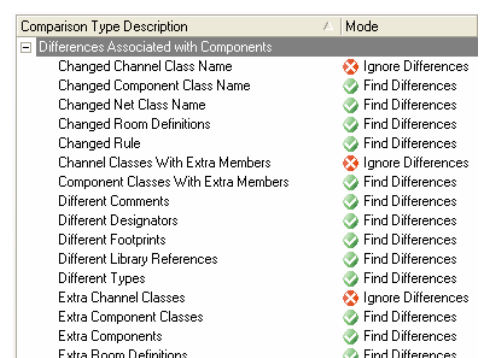
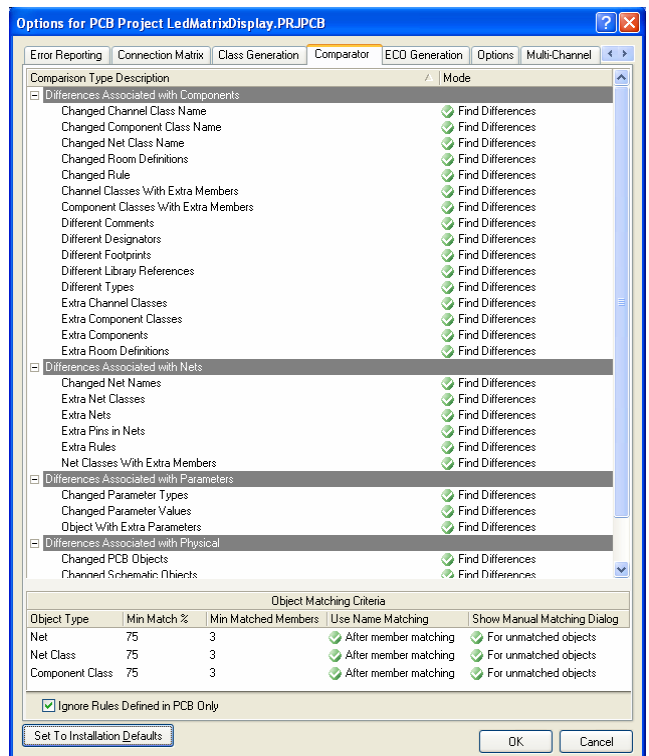
コンパレータの実行

同期プロセスのコントロールでは、コンパレータで検知し、構築された相違のリストを表示する必要があります。これは、特に同期を（再度）実行するために、どんな方向でどんな更新（変更）を行うかコントロールしたい場合に必要です。相違のリストを表示するには、**Project**メニューから **Show Differences** コマンドを使用します。

ドキュメントの選択

Show Differences コマンドを実行すると、**Choose Documents To Compare** ダイアログが表示され、比較したいドキュメントが選べます。デフォルトでは、

AR0106 (v2.1) March 10, 2008



ダイアログはプロジェクトのソースドキュメントの階層と比較するためのターゲットとなる PCB ドキュメントを素早く選択できる簡易（高度ではない）モードで開きます。

必要に応じて、**Advanced** オプションを有効にすると、比較する別のドキュメントを選択できます。例えば、サードパーティの回路図エディタから作成したネットリストを使用して PCB を作成する場合があります。これは、Altium Designer ではターゲットとなる（ブランク）PCB ドキュメントとネットリストを比較して容易に行えます。

ターゲット PCB とプロジェクトのソースドキュメント階層を比較する時、ソースドキュメントは比較される前に再コンパイルされます。

Unique IDを介したコンポーネントリンク

コンポーネントを回路図シートへ配置する際、自動でユニーク ID が割り当てられます。Altium Designer では、コンポーネントを比較してリンクさせるためにソース回路図とターゲット PCB ドキュメントをスキャンします。これらは、互いに同期してユニーク ID を共有するコンポーネントです。もし、コンポーネントがドキュメント間で同期していない場合、デジグネータから自動で、または手動でコンポーネントを一致させるためのダイアログが表示されます。後者は、**Edit Component Links** ダイアログ (**Project » Component Links**) (図 2) を使用して、PCB ドキュメントからのみ実行できます。

手動によるコンポーネントのリンクが PCB ドキュメントからしか実行できない理由は、PCB コンポーネントのフットプリントをユニーク ID 情報（これは回路図側に存在します。）で更新する必要があるからです。コンポーネント間のリンクを表示するには、デザイン中のどんな段階でもこのダイアログを使用し、回路図ソースドキュメントのコンポーネントが、正しく PCB デザインのコンポーネントフットプリントに一致しているか確実にします。

Unique ID は、リンクしたコンポーネントを **Edit Component Links** ダイアログの **Unmatched** のリストに移動することで、どんな時でも削除できます。コンポーネントのリンクを解除することで、PCB のフットプリントから Unique ID が削除されます。新しい Unique ID を作成しない限り（回路図、またはコンポーネントレベルで Unique ID をリセットするコマンドを使用して）、回路図コンポーネントの Unique ID はそのまま残ります。

回路図、または PCB ドキュメントのどちらでも、確実にどんな段階でも再同期させてデジグネータのアノテーションを実行できるので、Unique ID を使用してすべてのコンポーネントを一致させることは良い方法です。コンポーネントが Unique ID で一致していなくても

ドキュメントを同期させることはできますが、この場合、デジグネータだけ（コメントとフットプリントは考慮されないで、コンポーネントが正しく一致されない可能性があります。）でコンポーネントを一致させるようになります。

同様の機能として、Unique ID はソース回路図ドキュメントで各パラメータを定義する際に自動で割り当てられます。これは、デザインルールディレクティブとして追加されているパラメータに使用されます。デザインを PCB ドキュメントへ移行する際、定義したルールパラメータは PCB でデザインルールを生成するために使用されます。生成されたルールは同じ Unique ID が割り当てられ、回路図、または PCB でルールを変更でき、同期する際に変更が反映されます。

更新方向の指示

ソースプロジェクトドキュメントとターゲット PCB 間ですべてのコンポーネントをリンクして比較が行われます。コンパレータは、Project options で定義された設定に基づきます。もし、相違（比較するタイプが無視される設定でない相違）が検知される場合、相違が Differences ダイアログ (図 3) や Messages パネルにリスト表示されます。相違は、比較タイプによってグループ化されます。

Synchronizerを使用して、コンポーネントの情報が回路図ソースドキュメントとブランクのPCBドキュメント間で最初に移される時、すべてのコンポーネントはユニークID（フットプリントに割り当てられている各回路図コンポーネントのID情報）によって自動でリンクされます。

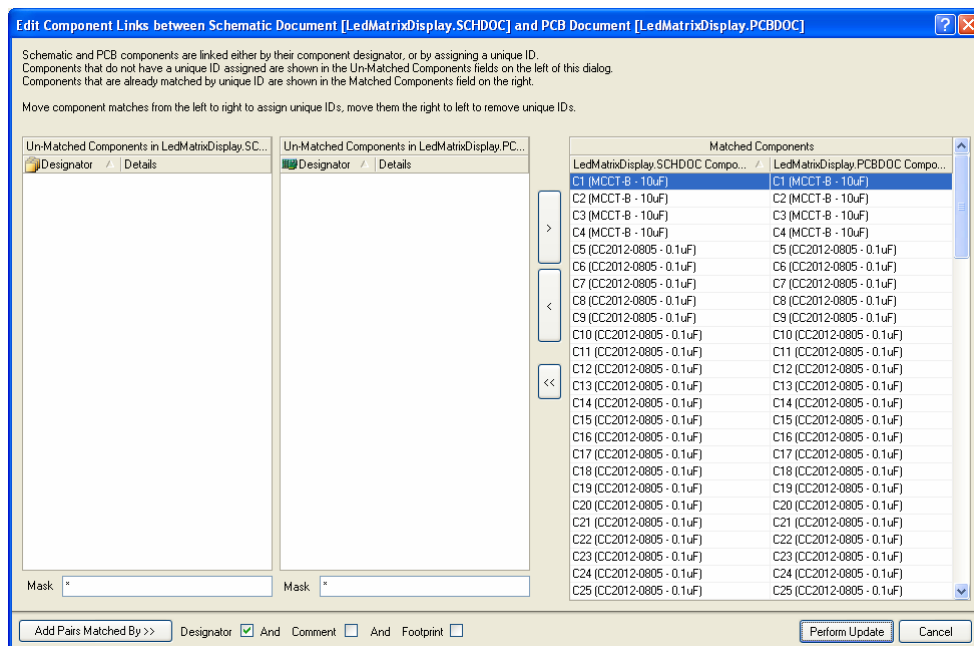
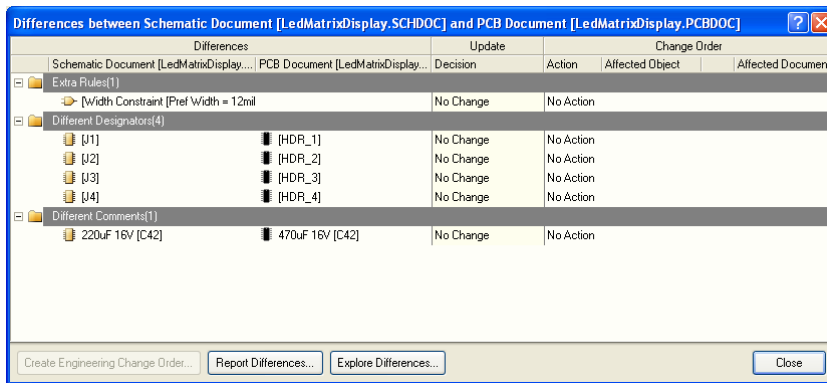


図2 手動によるコンポーネントリンクによる Unique ID の割り当て



Synchronizerは、双方向で同期が可能です。
これは、同じECOで両方のドキュメントへ更新を指定できることを表します。

図3 Differences ダイアログを使用して、相違を表示して更新内容を設定

各相違についてデザインを同期させるには、更新すべきドキュメントを指定して変更を行うかどうか決めることです。

たとえ相違が検知されても、必ずしもそれらの変更を行う必要はありません。Differences ダイアログでは、デフォルトの No Change の更新が各相違点に割り当てられます。Altium Designer では、指定する要素を同期させるだけです。もし、すべての変更を行いたい場合、ダイアログ内で右クリックし、すべての相違内容、すべての選択した内容、またはすべての特定の比較タイプの内容に関するコマンドを選択します。あるいは、個々の相違点を変更するための **Update** 欄をクリックします。

変更内容、変更によって影響を受けるオブジェクト、変更が行われるドキュメントの各相違については、ダイアログの **Change Order** の領域にリスト表示されます。これは、この後、更新を行うために使用する ECO をコンパイルするために使用される情報です。この領域でリスト表示される共通の動作は以下になっています：

- **Remove** – これは、更新するドキュメントに相違があるオブジェクトが存在する場合、オブジェクトが削除されます。
- **Add** – これは、更新するドキュメントに相違があるオブジェクトが存在しない場合、オブジェクトが追加されます。
- **Update** – これは、双方のドキュメントに同じオブジェクトが存在し、何か違っている点があれば、選択した方向により、オブジェクトが変更されます。

更新内容決定後のDifferencesダイアログの例を示します（図4）。

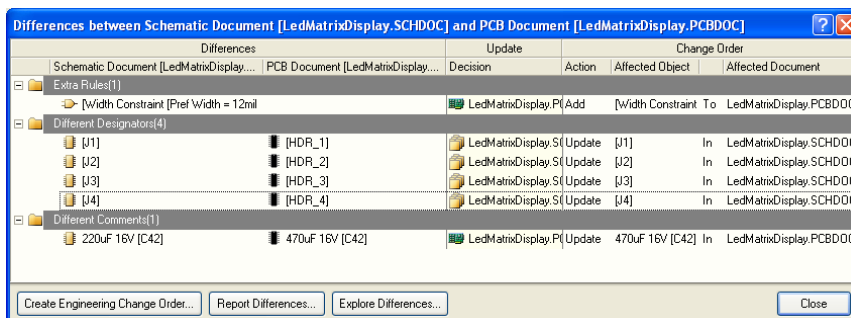


図4 検知した相違を解決するための更新内容決定の例

コンパレータで発見された相違、決定した更新内容や生成された ECO に含まれる動作をレポートとして印刷/エクスポートするには、**Report Differences** ボタンをクリックします。

相違の調査

ECO を生成する前にコンパレータで発見された相違を更に調査したい場合、**Explore Differences** ボタンをクリックします。Differences ダイアログが閉じ、Differences パネルが表示されると共にワークスペース画面に戻ります。

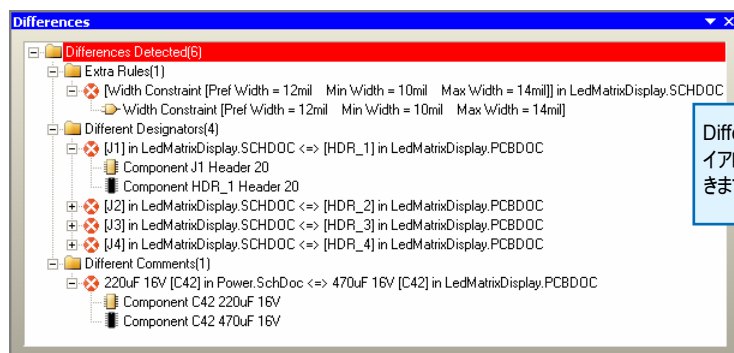


図5 Differences パネルを使用して相違を調査

パネルには、ドキュメント間で発見された相違がツリー構造で表示されます。トップレベルのフォルダには、検知された相違の合計が表示されます。また、サブフォルダには、**Differences** ダイアログに表示される各特定の比較タイプが作成されます。各サブフォルダには、発見された特定の相違が（相違を比較したドキュメントのオブジェクト順に分類され）リスト表示されます。その親ドキュメントで、相違のオブジェクトにクロスプローブするにはパネルを使用します。

この方法で相違を調査することで、**Differences** ダイアログで決定した更新内容は失われます。このため必要に応じて、ダイアログを再度開いて、もう一度更新を定義する必要があります。あるいは、**Differences** ダイアログ内から直接、オブジェクトにクロスプローブできます。この場合、ダイアログの **Differences** の領域のオブジェクトの項目をダブルクリックします。

Differences ダイアログは、オープンされたままになりますので、ソースとターゲットドキュメントをオープンし、ダイアログを邪魔にならないところへ移動するのが良いでしょう。

Differences パネルについての詳細な情報にアクセスするには、カーソルがパネル上にある時に **F1** を押します。

物理的な相違の表示 – グラフィカルでの実行

Project » Show Differences コマンドは、（一般的には）異なるドキュメント（一般に、ターゲット PCB を含むプロジェクト内のソースドキュメント）間に存在する論理的な相違を検知できます。これらは、コンポーネントや接続情報の比較を行います。これらの機能に加えて、**Altium Designer** のコンパレータは、回路図、または PCB ドキュメントの物理的な比較を行うことができます。この機能は、ワークスペースで同じ回路図、または PCB の 2 つのバージョンのドキュメントを並べて物理的な相違を表示し、グラフィカルに比較できます。

この機能を利用するには、以下のいずれかの方法を実行します：

- **Project » Show Physical Differences** コマンドを使用します。以前のバージョンのドキュメント（一般的にバックアップ）は、異なる名称で保存されていることを確認してください。バックアップドキュメントはプロジェクトに追加する必要は無く、フリードキュメントとして開くことができます。それから、**Choose Documents To Compare** ダイアログで **Advanced mode** を有効にすると、比較する 2 つのバージョンのドキュメントを選択できます。
- **Storage Manager** パネルから、2 つのバージョンのドキュメントを選択します。**Local History** の領域（または、**VCS Revisions** の領域 - ドキュメントが **CVS**、**SVN** を使用したバージョンコントロール下にある場合）で、右クリックして **Compare** を選択します。
- **Project » Local History » Show Local History** コマンドを使用します。リストから 2 つのバージョンのドキュメントを選択し **Compare** をクリックします。

比較は、これら 3 つの場合に、**Options for Project** ダイアログの **Comparator** タブの **Physical** 比較タイプについて定義されたオプションに従って行われます。検知された物理的な相違は、**Messages** パネルに表示されると共に、**Differences** パネルにもリスト表示されます。2 つのバージョンのドキュメントをメインデザインウィンドウで並べて開くことで、グラフィカルに相違を確認できます。検知された相違のトップレベルのフォルダをクリックすると（**Differences** パネルで）、同時に双方のドキュメントの相違がハイライト表示されます（図 6）。ドキュメントで個別にハイライト表示するには、オブジェクトのサブエントリをクリックします。

この機能は、バージョン間の視覚的な相違の比較であり、どちらのドキュメントも ECO の生成で更新できないことに注意してください。

Show Physical Differences コマンドは、同じドキュメントの 2 つのバージョンを比較する目的があります。もし、異なるドキュメント（例えば、PCB を含むプロジェクトの回路図）を比較するためにこれを実行する場合、論理的な相違がリスト表示された Differences パネルが表示されます。Differences ダイアログは、表示されません。ここでは、論理的な相違を調査するだけです。更新するには、**Show Differences** コマンドを実行します。

Storage Manager パネルの詳細な情報については、カーソルが（フォーカスされた）パネル上にあるときに **F1** を押します。

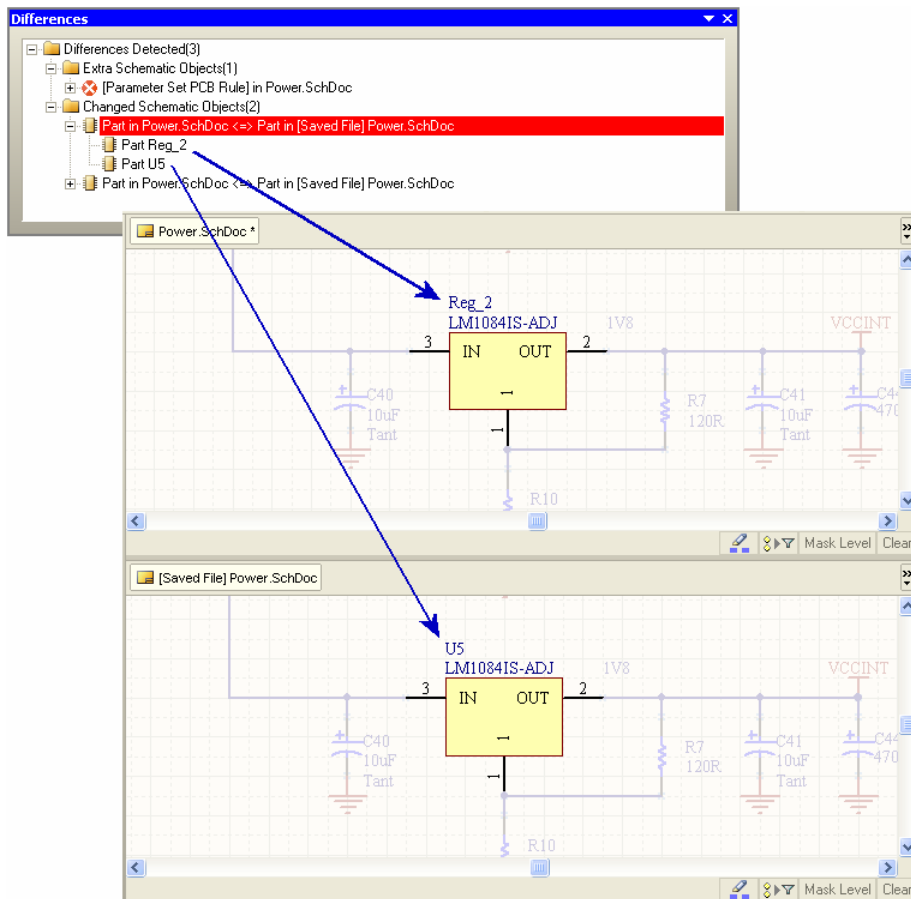


図6 Differences パネルを使用して、異なるバージョンのドキュメント間の物理的な相違を調査

ASCIIテキストドキュメントのバージョンを比較

コンパレータの一部ではありませんが、テキストベースのASCIIドキュメントの2つのバージョンを比較する機能があります。この機能は、**Storage Manager**パネルからドキュメントを比較する時、または**Show Local History**コマンドを使用する時に利用できます。比較によって**CompareForm**ダイアログ (図7) が開き、2つのバージョンのドキュメントのグラフィカルな '相違' が表示されます。ダイアログは比較のために表示されるだけで、読み込まれたドキュメントを修正することはできません。

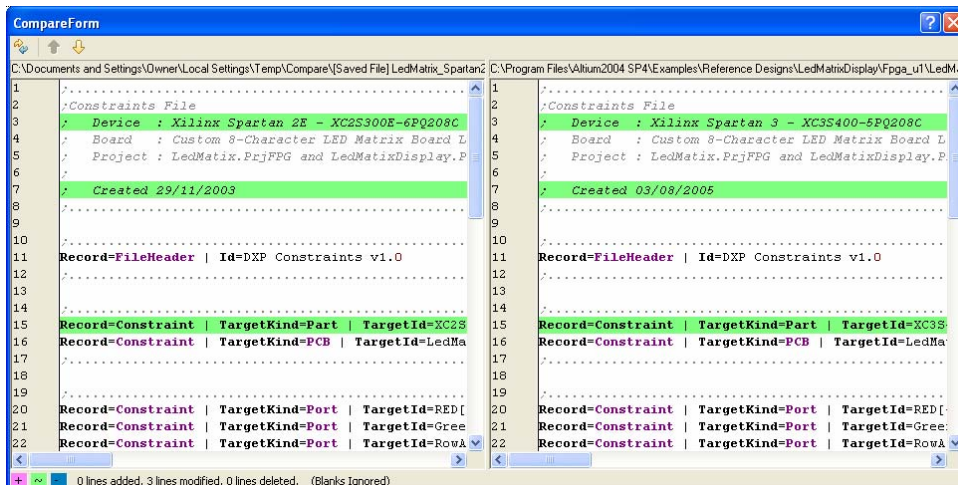


図7 ASCII ドキュメント間の相違を調査

デザイン更新の実行

デザインの更新/変更は、**Engineering Change Orders(ECOs)**を使用して実行します。要求された同期を行うために、ECOには、デザインドキュメントに変更を実行するためのすべての情報がリスト表示されます。

ECOは、以下のような様々な状況でデザインの更新を行うために使用します：

回路図コンポーネントのデジグネータをアノテーションにより更新する場合

Parameter Manager を使用してパラメータを更新する場合

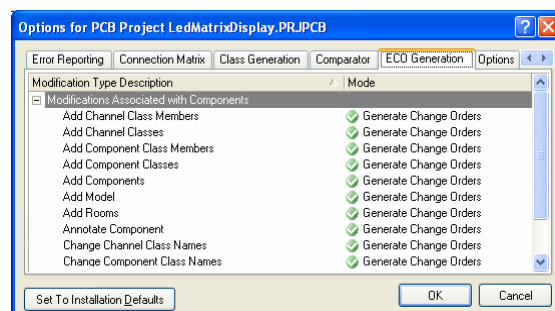
ソースライブラリ、または会社のデータベースに保存された情報をパラメータに更新する場合

おそらく最も重要で、最も頻りに ECO を使用する状況は、この章の一つとして考慮されていますが、作成した回路図デザインのソースドキュメントとターゲット PCB を同期させる場合です。同期を保つには、どちらか一方で行った変更を (ECO を実行し) 常に反対側へ更新する必要があります。

ECOオプションの設定

コンパレータと同様に、Altium Designer ではどの修正タイプを生成された ECO に含めるかコントロールできます。プロジェクトの一部として保存されたすべての設定と共に、ECOに関連したオプションは、**Options for Project** ダイアログ (**Project » Project Options**)の **ECO Generation** タブでアクセスできます。

修正タイプは、コンポーネント、ネットやパラメータに関連した項目でグループ化されます。



必要に応じて、ECO を生成するためのコントロールを使用してください。各修正タイプについて、そのタイプの更新動作を ECO (**Generate Change Orders**)内の修正リストに追加するか、もしくはスキップして ECO (**Ignore Differences**)に含めないかどうか決めることができます。

ECOの生成

以下の例のようなプロジェクトソースを PCB へ同期させるには、検知された相違のリストを表示してそれらを調査し、必要に応じて更新方向を設定した後、ECO を生成します。これは、**Differences** ダイアログの **Create Engineering Change Order** ボタンをクリックして実行します。**Engineering Change Order** ダイアログが表示され、デザインを同期するために必要な変更内容がリスト表示されます (図 8)。

デフォルトでは、ECO が実行される時にすべての修正が含まれます。再度、必要に応じて、各修正を有効/無効にするかコントロールできます。

右クリックメニューのコマンドにより、回路図と PCB ドキュメントに関連したターゲットと参照するオブジェクトにクロスプローブできます。

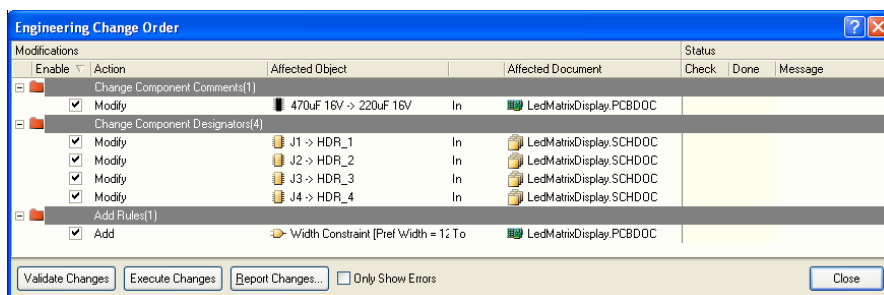


図 8 Engineering Change Order (ECO)内に表示された変更内容の例

変更を実行する前、提案した修正を確認することは特に重要です。これを行うには、

Validate Changes ボタンをクリックします。提案した変更が論理的にテストされるだけでなく、モデルが確実に利用できるようにライブラリが検索され、更にピンとパッドのマッチングもチェックされます。確認の結果は、ダイアログの **Check** 欄に表示されます。緑のチェックマークは、提案した変更がサポートされることを表し、ECO が実行されると同時に確認が実行されます。赤いクロスマークは、提案した変更が有効でないことを表し、ECO が実行される時に確認は行われません。

もし、修正が確認の段階で失敗する場合、ダイアログの **Message** 欄(更に、**Messages** パネル)にエラー内容(例えば、Footprint Not Found)が表示されます。何故、変更が失敗しているか、そして必要に応じてデザインを変更する内容を調査するために、どの段階でもいつでもダイアログを閉じることができます。必要な設定が完了した時、ECO を実行するために **Execute Changes** ボタンをクリックし、ECO 内の有効な変更を実行します。

ECO が実行されると、各修正内容の **Done** の欄に緑のチェックマークが表示されます。確認の段階を通過した変更だけが実行されます。

ECO に含まれた変更内容のレポートを印刷/エクスポートするには、**Report Changes** ボタンをクリックします。変更内容が実行可能かどうかに関わらず、レポートにはすべての変更内容がリスト表示されることに注意してください。

同期エラーの解決

デザインの同期に関する多くの問題は、一般的に 2 種類あります：

コンポーネントフットプリントの誤り。これは、以下の場合があります。

- フットプリントモデルが回路図のコンポーネント情報に割り当てられていない。
- 利用できるライブラリに PCB ライブラリを追加することを忘れた。
- 回路図のコンポーネントがどの PCB ライブラリコンポーネントとも一致しない。

大規模なネット接続の変更がある場合、PCBI データで容易にネットリストをクリアにできません(同期プロセスはそれらを再ロードします)。それから、どんな配線にもネット情報を再度割り当てる必要があります。これは、Configure Physical Nets ダイアログ(Design » Netlist » Configure Physical Nets)を使用して実行します。

フットプリントのピン番号が回路図のピン番号と一致しない。Altium Designer では、ピンとパッドのマッピングは、ユーザー定義が可能です。デフォルトでは、双方で同じ数/文字が割り当てられます。ピンとパッドのマッピングは、PCB Model ダイアログ(回路図シンボルをダブルクリックし Component Properties ダイアログの Models の領域の Footprint を選択して、Edit をクリックします)で定義します。

エラーを解決するには Show Differences を実行し Differences ダイアログで Explore Differences ボタンをクリックします。相違点があれば Differences パネルが表示されるので、そこで問題のあるデザインオブジェクトを調査してください。

回路図 ↔ PCB のダイレクトな同期

Altium Designer の回路図と PCB エディタでは、直接同期させるコマンドが用意されています。これらのコマンドが直接であるという意味は、すべての相違点の更新方向が一方向であるということです。Differences ダイアログは表示されないの、更新方向を変更できず、また同時に双方向の更新を実行できません。その代わりに、相違が検知される箇所は、直接、Engineering Change Order ダイアログで更新できます。そこには、回路図から PCB へのデザインの変更、またはその逆を実行するための必要な修正内容が読み込まれます。従って、コンパレータと ECO Generation オプションは、Options for Project ダイアログ(Project » Project Options)の各タブで適切に設定を行うことが重要です。また、予期した変更が行われるか確認するために、ECO にリスト表示された変更内容を慎重に調べることは良い考えです。

以下の同期コマンドは、直接、ターゲット PCB ドキュメントで利用できます。

Design » Update Schematics in ParentProjectName – PCB デザインで行った変更をプロジェクトのソース回路図へ更新するために使用

Design » Import Changes From ParentProjectName – プロジェクトのソース回路図ドキュメントで行った変更をアクティブな PCB ドキュメントへ更新するために使用

以下の同期コマンドは、直接、ソース回路図ドキュメントで利用できます。

Design » Update PCB Document DocumentName – プロジェクトのソース回路図ドキュメントで行った変更を PCB ドキュメントへ更新するために使用

更新履歴

Date	Version No.	Revision
9-Dec-2003	1.0	New product release
05-Aug-2005	2.0	Updated for Altium Designer SP4. Renamed from Design Updates and ECOs. Rewritten to concentrate on the synchronization process.
10-Mar-2008	2.1	Converted to A4,

ソフトウェア、ハードウェア、文書、および関連資料

Copyright © 2003 Altium Limited.

All rights reserved. この文書の印刷は、(1) 個人的使用に限定し、ネットワークコンピュータやあらゆる種類の媒材のコピーや送付を行わない、かつ (2)

文書の変更をまったく行わない、という条件でのみ行なうことができます。Altium Limited

の事前の書面による許可なく、本書の全体または一部を問わず、機械的または電子的な複製、他言語への翻訳を禁じます。ただし、公表するレビュー目的での抜粋を除きます。

本書の無許可の複製は、各国の法律でも禁止されています。違反者は、罰金や実刑を含む刑事罰と民事罰両方の対象となることがあります。Altium、Altium Designer、Board

Insight、CAMtastic、CircuitStudio、Design Explorer、DXP、LiveDesign、NanoBoard、Desktop

NanoBoard、NanoTalk、Nexar、nVisage、P-CAD、Protel、SimCode、Situs、TASKING、Topological

Autorouting、およびそれぞれに対応するロゴは、Altium Limited またはその子会社の商標または登録商標です。

本書に記載されているそれ以外の登録商標や商標はそれぞれの所有者の財産であり、商標権を主張するものではありません。