

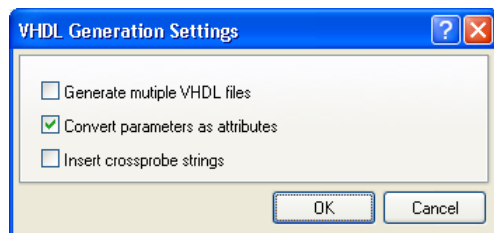
### 概要

VHDL の出力オプションは *VHDL Generation Settings* ダイアログで設定します。

Output Generator

OG0107 (v2.0) March 04, 2008

VHDL の出力オプションは *VHDL Generation Settings* ダイアログで設定します。



### 内容と使用方法

*VHDL Generation Settings* ダイアログは以下のようなオプションを提供することで、1つまたはそれ以上の VHDL ドキュメントをソースとなる回路図シートから生成しています。

- **Generate multiple VHDL files** - ソースがプロジェクト全体の場合、このオプションは、ソースになるプロジェクト内の回路図シート（オプションが有効のとき）のそれぞれに別々の VHDL ファイル (\*.vhd) が提供されるか、あるいは、単一の VHDL ファイル生成される（オプションが無効のとき）かを決定します。前者の場合、各 VHDL ファイルには、ソースとなる回路図シートの名前が付けられます。後者の場合、単一の VHDL ファイルにプロジェクト名が付けられます。
- **Convert parameters as attributes** - このオプションが有効のときは、ソース回路図の上のオブジェクトに関連するすべてのパラメータを定義し、生成される VHDL ファイルにおける属性の宣言にそれらを変換します。
- **Insert crossprobe strings** - このオプションが有効のときは、VHDL ファイルにコメントを挿入し、関連する VHDL コードのエントリが、ソースとなる回路図のどの部分から生成されたか、について参照することができます。

### 注記

VHDL 出力は、次の 2 つのどちらかの方法で生成することができます：

1. **Output Job Configuration** ファイル (\*.OutJob) で適切な設定を行ったアウトプットジェネレータを使用します。構成されたアウトプットジェネレータを実行すると、出力が生成されます。
2. アクティブな回路図ドキュメントから直接、**Design » Netlist For Document » VHDL File** や **Design » Netlist For Project » VHDL File** メニューコマンドを使用します。それぞれ、単一ドキュメント用、またはプロジェクトレベルのネットリスト用のメニューコマンドです。 *VHDL Generation Settings* ダイアログの **OK** ボタンをクリックすると、すぐに出力が生成されます。

**注：** 出力が回路図から直接生成された場合に *VHDL Generation Settings* ダイアログで行われた設定は、**Output Job Configuration** ファイルの同じ出力タイプの設定とは区別されています。前者の場合、設定はプロジェクトファイルに保存され、後者の場合は、**Output Job Configuration** ファイルに保存されます

生成するファイルの出力パスは、*Options for Project* ダイアログの **Options** タブで設定します。デフォルトの出力パスは、プロジェクトファイルが存在しているフォルダにサブフォルダが作成されます。名称は、**Project Outputs for ProjectName** です。出力パスは必要に応じて変更することができます。別々の出力タイプに、別々のフォルダを使用するオプションは、**Options** タブで有効になります。VHDL ファイルは、さらにその下の、VHDL Output というサブフォルダに書き込まれます。

## VHDL出力オプション

生成された出力はプロジェクトに追加され、**Projects** パネルに表示されます。場所は、Generated フォルダ内の適切なサブフォルダです。出力タイプでフォルダを分けた場合は、それぞれに対応した Generated フォルダが、**Projects** パネルに追加されます (例えば: Generated (VHDL Output))。

## 更新履歴

日付	バージョン番号	変更内容
03-Nov-2005	1.0	New release
04-Mar-2008	2.0	Updated for Altium Designer Summer 08

ソフトウェア、ハードウェア、文書、および関連資料

Copyright © 2008 Altium Limited.

All rights reserved. この文書の印刷は、(1) 個人的使用に限定し、ネットワークコンピュータやあらゆる種類の媒体のコピーや送付を行わない、かつ (2) 文書の変更をまったく行わない、という条件でのみ行うことができます。Altium Limited

の事前の書面による許可なく、本書の全体または一部を問わず、機械的または電子的な複製、他言語への翻訳を禁じます。ただし、公表するレビュー目的での抜粋を除きます。

本書の無許可の複製は、各国の法律でも禁止されています。違反者は、罰金や実刑を含む刑罰と民事罰両方の対象となることがあります。Altium、Altium Designer、Board Insight、CAMtastic、CircuitStudio、Design

Explorer、DXP、LiveDesign、NanoBoard、NanoTalk、Nexar、nVisage、P-- CAD、Protel、SimCode、Situs、TASKING、Topological Autorouting、およびそれぞれに対応するロゴは、Altium Limited またはその子会社の商標または登録商標です。

本書に記載されているそれ以外の登録商標や商標はそれぞれの所有者の財産であり、商標権を主張するものではありません。