



Verilog ネットリストの出力オプション

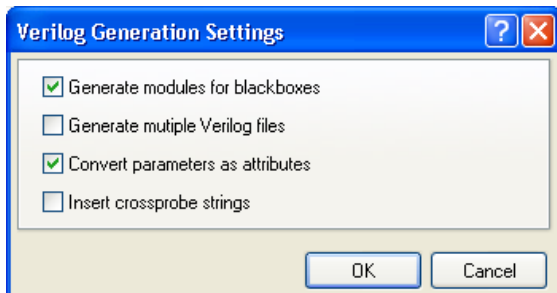
概要

Verilog の出力オプションは *Verilog Generation Settings* ダイアログで設定します。

Output Generator

OG0110 (v2.0) March 04, 2008

Verilog の出力オプションは *Verilog Generation Settings* ダイアログで設定します。



内容と使用方法

Verilog Generation Settings ダイアログは以下のようなオプションを提供することで、1 つまたはそれ以上の Verilog ドキュメントをソースとなる回路図シートから生成しています。

- **Generate modules for blackboxes** - このオプションを有効にすると、これらの回路図コンポーネント用の空白モジュールが、出力ファイル（生成される Verilog ネットリスト）の最後で宣言されます。Altium Designer の論理合成のステージでは、シンセサイザはブラックボックスとそれらがどのように接続されているかについては調べますが、ポートサイズなどの情報は別途必要になります。Verilog は言語としては、コンポーネントのインスタンス化の際にこれらの情報は提供してくれません。VHDL では、ブラックボックスのインスタンス化の前に、ブラックボックスや各ピン用ポートの向きやサイズについての情報を宣言する必要があります。Verilog ではやや柔軟です。必要なのはブラックボックス名で、ポートのサイズや向きを気にする必要はありません。単純に言うと、コードを合成するための適正な情報を完全には把握しておかなくてもよい、ということです。したがって、論理合成ツールがモジュール内の各ポートのサイズや向きを知ることができるように、モジュールを "宣言" しなくてはなりません。
- このオプションを無効にした場合は、これらのモジュールは宣言されることはなく、それぞれのブラックボックスを論理合成するには、完全なソースコードをユーザが用意する必要があります。デフォルトでは有効になっています。
- **Generate multiple Verilog files** - ソースがプロジェクト全体の場合、このオプションは、ソースになるプロジェクト内の回路図シート（オプションが有効のとき）のそれぞれに別々の Verilog ファイル (*.v) が提供されるか、あるいは、単一の Verilog ファイル生成される（オプションが無効のとき）かを決定します。前者の場合、各 Verilog ファイルには、ソースとなる回路図シートの名前が付けられます。後者の場合、単一の Verilog ファイルにプロジェクト名が付けられます。
- **Convert parameters as attributes** - このオプションが有効のときは、ソース回路図の上のオブジェクトに関連するすべてのパラメータを定義し、生成される Verilog ファイルにおける属性の宣言にそれらを変換します。デフォルトでは有効になっています。
- **Insert crossprobe strings** - このオプションが有効のときは、Verilog ファイルにコメントを挿入し、関連する Verilog コードのエントリが、ソースとなる回路図のどの部分から生成されたか、について参照することができます。

注記

Verilog 出力は、次の 2 つのどちらかの方法で生成することができます：

1. Output Job Configuration ファイル (*.OutJob) で適切な設定を行ったアウトプットジェネレータを使用します。構成されたアウトプットジェネレータを実行すると、出力が生成されます。
2. アクティブな回路図ドキュメントから直接、**Design » Netlist For Document » Verilog File** や **Design » Netlist For Project » Verilog File** メニューコマンドを使用します。それぞれ、単一ドキュメント用、またはプロジェクトレベルのネ

Verilog 出力のオプション

ツトリスト用のメニューコマンドです。 **Verilog Generation Settings** ダイアログの **OK** ボタンをクリックすると、すぐに出力が生成されます。

注 : 出力が回路図から直接生成された場合に **Verilog Generation Settings** ダイアログで行われた設定は、**Output Job Configuration** ファイルの同じ出力タイプの設定とは区別されています。 前者の場合、設定はプロジェクトファイルに保存され、後者の場合は、**Output Job Configuration** ファイルに保存されます

生成するファイルの出力パスは、**Options for Project** ダイアログの **Options** タブで設定します。 デフォルトでは、出力パスは、プロジェクトファイルが存在しているフォルダ下のサブフォルダに設定されます。 名称は、**Project Outputs for ProjectName** です。 出力パスは必要に応じて変更することができます。 別々の出力タイプに、別々のフォルダを使用するオプションは、**Options** タブで有効になります。 Verilog ファイルは、さらにその下の、Verilog Output というサブフォルダに書き込まれます。 .

生成された出力はプロジェクトに追加され、**Projects** パネルに表示されます。 場所は、Generated フォルダ内の適切なサブフォルダです。 出力タイプでフォルダを分けた場合は、それぞれに対応した Generated フォルダが、**Projects** パネルに追加されます (例えば: Generated (Verilog Output)) 。

更新履歴

日付	バージョン番号	変更内容
28-Aug-2007	1.0	New release
04-Mar-2008	2.0	Updated for Altium Designer Summer 08

ソフトウェア、ハードウェア、文書、および関連資料

Copyright © 2008 Altium Limited.

All rights reserved. この文書の印刷は、(1) 個人的使用に限定し、ネットワークコンピュータやあらゆる種類の媒体コピーや送読を行わない、かつ (2) 文書の変更をまったく行わない、という条件でのみ行なうことができます。 Altium Limited

の事前の書面による許可なく、本書の全体または一部を問わず、機械的または電子的な複製、他言語への翻訳を禁じます。ただし、公表するレビュー目的での抜粋を除きます。

本書の無許可の複製は、各国の法律でも禁止されています。違反者は、罰金や実刑を含む刑事罰と民事罰両方の対象となることがあります。 Altium、Altium Designer、Board Insight、CAMtastic、CircuitStudio、Design

Explorer、DXP、LiveDesign、NanoBoard、NanoTalk、Nexar、nVisage、P-- CAD、Protel、SimCode、Situs、TASKING、Topological Autorouting、およびそれぞれに対応するロゴは、Altium Limited またはその子会社の商標または登録商標です。

本書に記載されているそれ以外の登録商標や商標はそれぞれの所有者の財産であり、商標権を主張するものではありません。