

概要

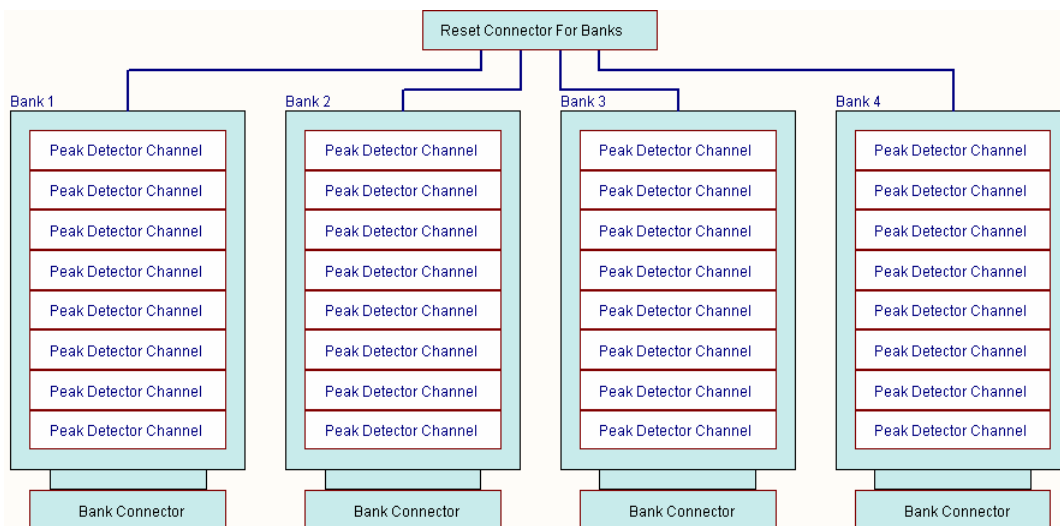
このチュートリアルでは、回路図エディタでシートシンボルと Repeat キーワードを使用してマルチチャンネルデザインを作成する方法を説明します。また、ルームとデジグネータの形式についても併せて紹介します。

Tutorial
TU0112 (v1.6) April 20, 2008

マルチチャンネルデザインとは同じチャンネルを繰り返し使用しているものを指します。チャンネルは独立した回路図のサブシートとして一度だけ作成すればよく、そしてプロジェクトに含まれている必要があります。繰り返し使用するチャンネル分、同じシートシンボルを複数配置するか、シートシンボルの Designator に Repeat キーワードを指定するだけで簡単に作成が可能です。

デジグネータマネージャは、プロジェクトファイルの一部として格納され、チャンネル接続のテーブルを作成し管理します。マルチチャンネルプロジェクトでは、デジグネータの変更をプロジェクトファイルに伝えるバックアノテーションなど、デザインプロセスの全体がサポートされています。

このチュートリアルでは、Altium Designer のインストール先にある \Examples\Reference Designs フォルダにあるサンプルファイル「Peak Detector - Multi channel.PrjPcb」を使ってマルチチャンネルデザインを紹介します。



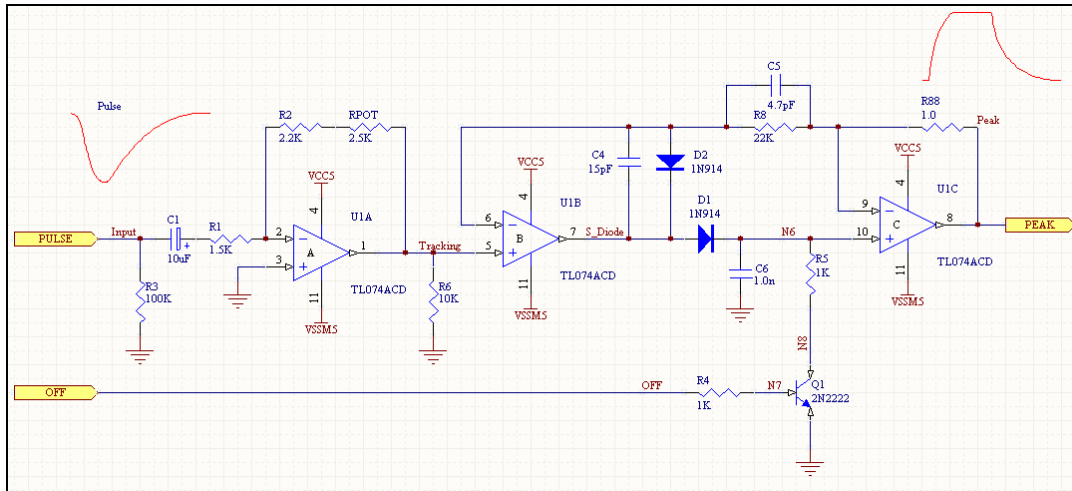
このデザインは、親シートとバンクシート、チャンネルシートの3段階の階層から構成されています。親シート (Peak Detector.SchDoc) には、4つのバンク用に一つのシートシンボルが使用されています (Bank.SchDoc を4回参照)。バンク回路には、各バンクでシートシンボルが8チャンネル分として使用され、トータルで32チャンネルの構成になっています。これらのチャンネルは個々に独立して作成されているのではなく、一つの回路図を Repeat コマンドを使用して Peak Detector - Channel.SchDoc を各チャンネルで参照しています。ルーム名とコンポーネントのデジグネータの形式は、この階層デザインの影響を受けます。

マルチチャンネルデザインの作成

このデザインを作成するには PCB プロジェクトファイルを作成し、このプロジェクトで使用する3つの回路図ファイル Peak Detector.SchDoc (トップシート、あるいは親シート)、Bank.SchDoc (バンクレベル)、Peak Detector-channel.SchDoc (チャンネルレベル) をプロジェクトに追加します。

1. 下図に示すようにチャンネルとして使用する回路 (Peak Detector-Channel.SchDoc) を独立した回路図として作成し、この新しい回路図を PCB プロジェクトファイルに追加します。

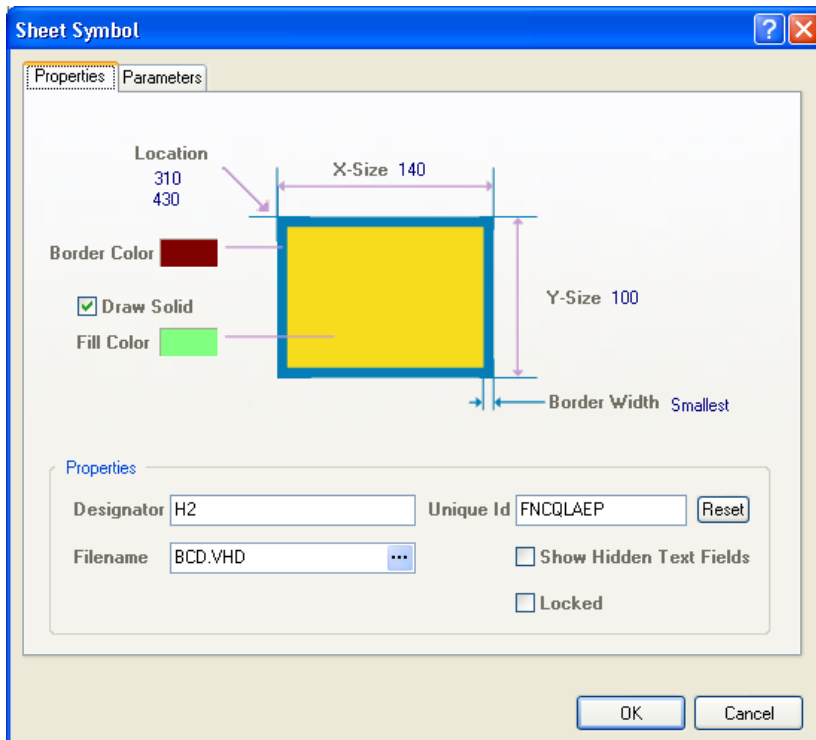
Creating a Multi-channel Design



2. 次にバンクレベルの回路図 (Bank.SchDoc) を作成します。チャンネルとして参照する回路図 Peak Detector-channel.SchDoc のシートシンボルを配置します。

3. **Place** » **Sheet Symbol** を選択し、シートシンボルを配置します。新たにシートシンボルをダブルクリックし、**Sheet Symbol** ダイアログの **Properties** タブを表示します。

Designator
File Name



シートシンボルのデジグネータ名は、各チャンネルの各コンポーネントを区別するために使用されます。上記の例では、シートシンボルの **Designator** (識別子) の名前は「PD」です。お好きな名前をつけることができますが、識別子の名称をできるだけ短くするため、シートシンボルには短い名前をお勧めします。これは、プロジェクトがコンパイルされる時シートシンボル名、及びチャンネル番号がデジグネータに追加されるからです、例えば、R1 は R1_PD 1 になります。

4. Filename フィールドに、使用したいチャンネル回路図の名前を入力します。例えば、Peak Detector-channel.SchDoc。

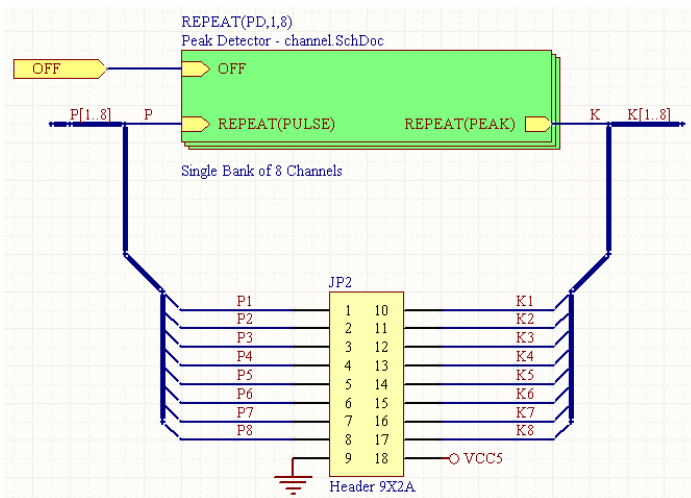
5. Designator 欄に Repeat コマンドを入力し、必要なチャンネル回路図の参照回数を指定します。フォーマットは次のとおりです：

Repeat(sheet_symbol_name,first_channel,last_channel)

この例では、コマンド Repeat (PD, 1, 8) を Designator フィールドに入力し、Peak Detector 回路図を名前 PD として (1,8) で 8 回参照します。

first_channel パラメータには、Repeat コマンドで 1 以上を設定する必要があります。例:
Repeat (PD, 1, 8)

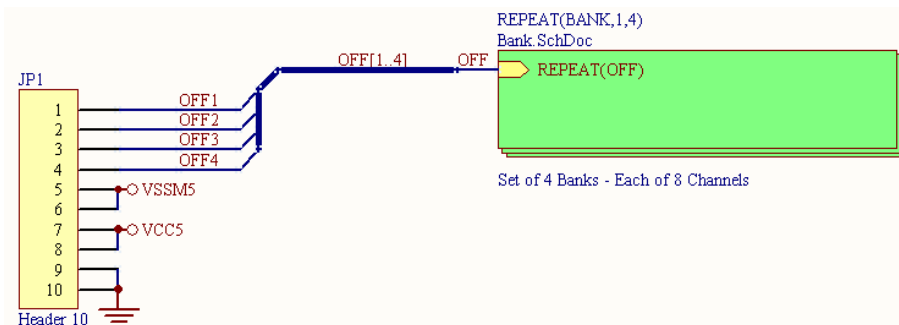
6. **OK** ボタンをクリックし、*Sheet Symbol* ダイアログを閉じます。シートシンボルがマルチチャンネルを示す状態に変わります。



7. すべてのサブシートで共通なネットは、通常と同じ方法で接続します。繰り返しの各サブシートで別に接続するネットは、バスとして供給し、そのバスの一つの要素を各サブシートで接続します。

上の例では、（Pのようにバス幅を含まずに）バス名がワイヤ上に配置され、**Repeat** キーワードを含んだシートエンタリに接続されています。デザインをコンパイルするとこのバスは（P1 から P8 の）独立したネットへ展開され、各チャンネルシートへ接続されます。P1 は、サブシート PD_1、P2 はサブシート PD_2 へ接続され、他のチャンネルも同様に接続されます。

8. 親シート *Peak Detector.SchDoc* を作成し、**Place » Sheet Symbol** コマンドを使用して、下位レベルのシートシンボル *Bank.SchDoc* を作成します。



上記の例では、シートシンボルの Designator 名は **BANK** です。従って、シートシンボル **BANK** の *Sheet Symbol* ダイアログの Designator フィールドに、コマンド `Repeat (BANK, 1, 4)` と入力することで、(1,4)で Bank 回路図が 4 回参照されます。

上のサンプルでワイヤ上のネットラベルにはバスの要素番号が無く、シートシンボル内には Repeat キーワードが含まれている点に注意してください。デザインがコンパイルされると、各ネット（OFF1 から OFF4）は各チャンネルの各ネットに割り当てられます。

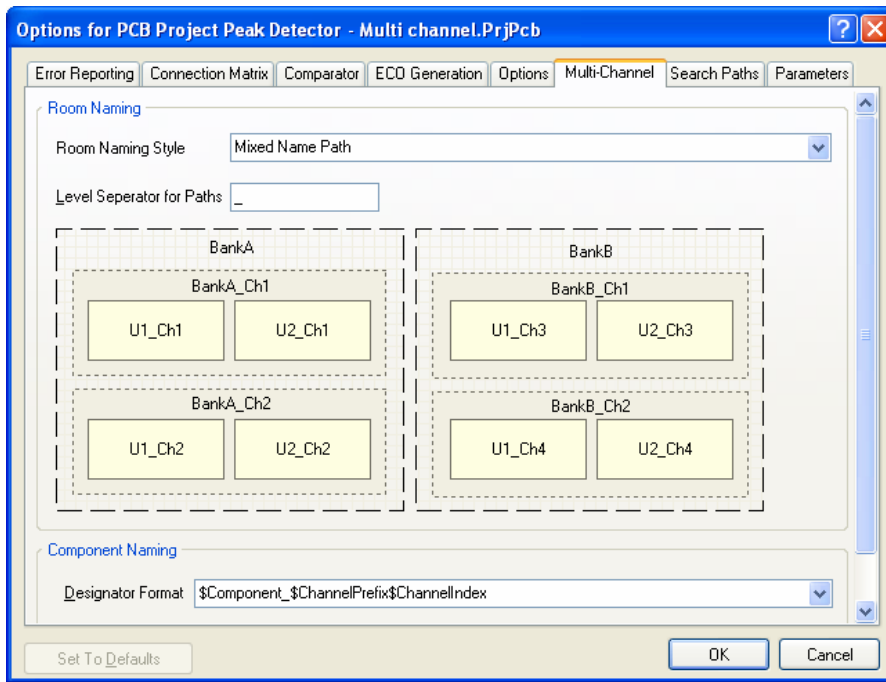
ルームとデジグネータの形式設定

回路図を作成したら、回路図上の 1 つの論理的なコンポーネントから PCB で実際に複数割り当てられる複数のデジグネータとルーム名の形式が設定できます。

論理的なデジグネータとは、元の回路図コンポーネントに割り当てられているものです。物理的なデジグネータとは、PCB デザイン上に配置されているコンポーネントに割り当てられているものです。マルチチャンネルデザインを作成した場合、繰り返し使用されるチャンネルのコンポーネントの論理的なデジグネータは同じになりますが、PCB デザインでの物理的なデジグネータは、各コンポーネントで別の値になります。

1. メニューから **Project » Project Options** を選択します。 *Options for Project* ダイアログの **Multi-Channel** タブをクリックし、ルームとコンポーネントのデジグネータ名の形式を設定します。

Creating a Multi-channel Design



ルーム名の設定

1. **Room Naming Style** のドロップダウンリストをクリックし、デザイン内のルーム名の形式を適切なものから選択します。これらのルームは、プロジェクトの回路図から PCB へ更新を行う際、デフォルトで作成されます。フラットが 2 種類、階層が 3 種類の合計 5 種類のスタイルが用意されています。

フラットルーム名の形式

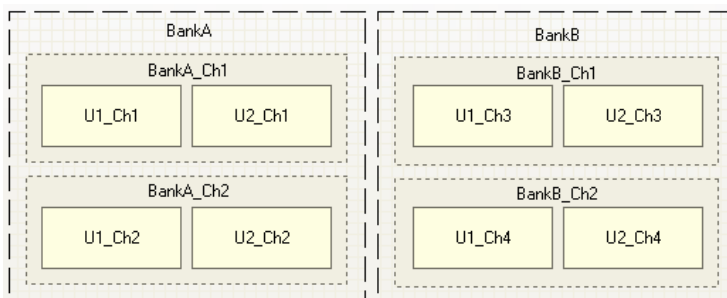
Flat Numeric with Names
Flat Alpha with Names

階層ルーム名の形式

Numeric Name Path
Alpha Name Path
Mixed Name Path

階層ルーム名は関連するチャンネルパス階層のすべてのシートシンボルのデジグネータ (ChannelPrefix + ChannelIndex) をつなぐことで形成されます。

2. リストからスタイルを選択すると、**Multi-Channel** タブでは (下図のように)、表記がすぐに更新されます。イメージは、2x2 チャンネルのデザインになります。グリッドが表示されている大きなエリアは 2 つの上位チャンネル (バンク) を表し (サンプルでは、2 つのコンポーネントが示され) ています。デザインがコンパイルされると、各バンクと下位レベルのチャンネルを含む、デザインの各シートに対応するルームが作成されます。イメージで示されている 2x2 チャンネルのデザインでは、2 つのバンク用と下位レベルの 4 つのチャンネル用の合計 6 個のルームが作成されます。



サンプルの Peak Detector では、トップレベルのシート用 (1)、4 つのバンク用 (4)、各バンクの 8 チャンネルのシート用 (32) に合計 37 のルームが作成されます。

3. 階層名を使う際には、**Level Separator for Paths** の欄で、パス情報を分けるのに使用する文字/シンボルを指定することができます (例えば、パスを含む形式)。

レベルセパレータとして使用できる文字に制限はありませんが、判別しやすくするには英数字以外の文字を使用してください。

コンポーネント名の設定

コンポーネントの名称を設定するデジグネータ形式がいくつか用意されています。フォーマットから選択するか、キーワードを使って独自の形式を定義できます。

1. コンポーネントのデジグネータフォーマットを設定するには、**Designator Format** のドロップダウンリストから適切なものを選択します。定義済みのフォーマットがフラットで 5 種類、階層で 3 種類の合計 8 種類用意されています。

フラットデジグネータの形式

```
$Component$ChannelAlpha
$Component_ $ChannelPrefix$ChannelAlpha
$Component_ $ChannelIndex
$Component_ $ChannelPrefix$ChannelIndex
$ComponentPrefix_ $ChannelIndex_ $ComponentIndex
```

階層デジグネータの形式

```
$Component_ $RoomName
$RoomName_ $Component
$ComponentPrefix_ $RoomName_ $ComponentIndex
```

Room Naming Style が、コンポーネントの名称に関係するのは、デジグネータフォーマットに文字列 \$RoomName が含まれている場合だけです。

フラットデジグネータの形式では、各コンポーネントのデジグネータを初めのチャンネルから連続的に設定していきます。

階層形式では、コンポーネントのデジグネータに Room Name が含まれます。Room Naming Style で 2 つのフラット形式のどちらかを選択した場合は、コンポーネントデジグネータのスタイルもフラットになります。但し、Room Naming で階層形式を選択した場合は、パス情報が含まれるためコンポーネントのデジグネータも階層形式になります。

独自のデジグネータフォーマットの定義

コンポーネントのデジグネータフォーマットは、**Designator Format** 欄に直接入力することで独自の形式を定義することもできます。フォーマットを定義するのに次のキーワードが使用できます。

キーワード	説明
\$RoomName	Room Naming Style 欄で選択された形式によって決まるルームの名称
\$Component	コンポーネントのロジカルデジグネータ
\$ComponentPrefix	コンポーネントのロジカルデジグネータプリフィックス (例: U1 であれば U)
\$ComponentIndex	コンポーネントのロジカルデジグネータインデックス (例: U1 であれば 1)
\$ChannelPrefix	ロジカルシートシンボルデジグネータ
\$ChannelIndex	チャンネルインデックス
\$ChannelAlpha	チャンネルインデックスをアルファベットで表記。この形式は、チャンネルの合計が 26 チャンネル以下の場合、あるいは階層デジグネータ形式を使用している場合に便利です。

プロジェクトのコンパイル

ルームと/または、コンポーネントデジグネータの形式を変更した場合は、プロジェクトのコンパイルを行う必要があります。

1. プロジェクトをコンパイルするには、**Project » Compile PCB Project** を選択します。マルチチャンネルデザインでコンパイルを行った後、回路図エディタでは、一枚のシートが表示されているだけですが、デザインウィンドウ内の回路図シートの下には、チャンネル(または、バンク)に対応したタブが表示されます。タブの名称は、シートシンボル名にチャンネル番号が追加されたものになります。例：
BANKA
2. デザインがコンパイルされれば、通常の方法 (**Design » Update PCB**) で PCB エディタに情報を転送することができます。転送のプロセスで各回路図シートに対応したコンポーネントクラス、コンポーネントクラスに対応したルームが自動的に作成され、そのルームの各クラスにコンポーネントがグループ化され、配置可能な状態になります。
3. PCB エディタで 1 チャンネル分の配置、配線を行った後、その情報を他のチャンネルにコピーするには、**Design » Rooms » Copy Room Formats** を選択します。

チャンネルデジグネータの割り当て表示

マルチチャンネルのデジグネータを確認するために、プロジェクトの全回路図ドキュメントに使用されているコンポーネントの論理的なデジグネータと物理的なデジグネータを表示させることができます。

マルチチャンネルデザインのコンポーネントのデジグネータを確認するには:

1. **Project » View Channels** を実行すると *Project Components* ダイアログが表示され、回路図ドキュメントの各コンポーネントの論理的及び物理的なデジグネータが表示されます。

Logical Designator	Comment	Channel 1	Channel 2	Channel 3	Channel 4	Channel 5	Channel 6	Channel 7
Peak Detector - channel.SchDoc								
C1	10uF	C1_PD1	C1_PD2	C1_PD3	C1_PD4	C1_PD5	C1_PD6	C1_PD7
C4	15pF	C4_PD1	C4_PD2	C4_PD3	C4_PD4	C4_PD5	C4_PD6	C4_PD7
C5	4.7pF	C5_PD1	C5_PD2	C5_PD3	C5_PD4	C5_PD5	C5_PD6	C5_PD7
C6	1.0n	C6_PD1	C6_PD2	C6_PD3	C6_PD4	C6_PD5	C6_PD6	C6_PD7
D1	1N914	D1_PD1	D1_PD2	D1_PD3	D1_PD4	D1_PD5	D1_PD6	D1_PD7
D2	1N914	D2_PD1	D2_PD2	D2_PD3	D2_PD4	D2_PD5	D2_PD6	D2_PD7
Q1	2N2222	Q1_PD1	Q1_PD2	Q1_PD3	Q1_PD4	Q1_PD5	Q1_PD6	Q1_PD7
R1	1.5K	R1_PD1	R1_PD2	R1_PD3	R1_PD4	R1_PD5	R1_PD6	R1_PD7
R2	2.2K	R2_PD1	R2_PD2	R2_PD3	R2_PD4	R2_PD5	R2_PD6	R2_PD7
R3	100K	R3_PD1	R3_PD2	R3_PD3	R3_PD4	R3_PD5	R3_PD6	R3_PD7
R4	10K	R4_PD1	R4_PD2	R4_PD3	R4_PD4	R4_PD5	R4_PD6	R4_PD7
R5	1K	R5_PD1	R5_PD2	R5_PD3	R5_PD4	R5_PD5	R5_PD6	R5_PD7
R6	10K	R6_PD1	R6_PD2	R6_PD3	R6_PD4	R6_PD5	R6_PD6	R6_PD7
R8	22K	R8_PD1	R8_PD2	R8_PD3	R8_PD4	R8_PD5	R8_PD6	R8_PD7
R88	1.0	R88_PD1	R88_PD2	R88_PD3	R88_PD4	R88_PD5	R88_PD6	R88_PD7
RPOT	25K	RPOT_PD1	RPOT_PD2	RPOT_PD3	RPOT_PD4	RPOT_PD5	RPOT_PD6	RPOT_PD7
U1	TL074ACD	U1_PD1	U1_PD2	U1_PD3	U1_PD4	U1_PD5	U1_PD6	U1_PD7
Peak Detector.SchDoc								
JP1	Header 10	JP1						
Bank.SchDoc								
JP2	Header 3K2A	JP2_BANK1	JP2_BANK2	JP2_BANK3	JP2_BANK4			

表には、プロジェクトの回路図名とチャンネル数が表示されます。上に示す例では、ルーム名とコンポーネント名の表記が使われています: Mixed Name Path と \$Component_ \$ChannelPrefix \$ChannelIndex

各チャンネルのデジグネータは、デジグネータとチャンネル番号の引数を組み合わせた形で、例えば、Peak Detector - channel.SchDoc のデジグネータ C1 は、チャンネル 1 では C1_PD1、チャンネル 32 では C1_PD32 で PCB へ更新されます。

チャンネルの回路図は常に 1 枚だけで、各チャンネルに対応したデジグネータの割り当てがテーブル (**Project » View Channels** で表示) に保存されています。

2. 論理的なデジグネータをクリックすると、元の回路図のコンポーネントへジャンプします。コンポーネントはデザインウィンドウの中心に拡大表示されます。ダイアログは開いたままで、他のコンポーネントへジャンプすることができます。
3. **Component Report** ボタンをクリックすると *Report Preview* ダイアログがオープンし、プロジェクトのコンポーネントレポートのプリントプレビューが表示されます。レポートをプリントするには、**Print** ボタンをクリックします。*Print* ダイアログが表示されます。**OK** ボタンをクリックすると、レポートがプリンターへ転送されます。
4. *Report Preview* ダイアログから **Export** を選択すると、プロジェクトのコンポーネントレポートがスプレッドシート (.xls) や .pdf 形式で、ファイルとして保存することができます。ファイルを保存すると、**Open Report** ボタンをクリックすることで (Microsoft Excel や Adobe Reader などの) 適切なアプリケーションでそのファイルをオープンすることができます。
5. **Close** ボタンをクリックし、プリントプレビューモードを閉じます。**OK** ボタンをクリックし、*Project Components* ダイアログを閉じます。

PCB上でのデジグネータの表示

マルチチャンネルデザインでは、結局長くなってしまったデジグネータのストリングスを配置するのは難しいかもしれません。短い名前になるような命名オプションを選ぶ場合と同様な、別のオプションとして、代わりに、オリジナルで、ロジカルなコンポーネントデジグネータを表示する方法があります。例えば、C30_CIN1 は C30 と表示されます。この状態では、コンポーネントオーバーレイ上の各チャンネルの周囲にボックスを作図するなど、基板に個別のチャンネルを示す他の表記を追加することが当然必要になります。

Board Options ダイアログ (**Design » Board Options**) で、PCB 上の論理デジグネータ表示と物理デジグネータ表示を選択することができます。マルチチャンネルデザインにおいてコンポーネントの論理デジグネータの表示を選択した場合、論理デジグネータが PCB 上と、印刷やガーバーなどの生成されるすべての出力上に表示されます。

更新履歴

Date	Version No.	Revision
9-Dec-2003	1.0	New product release
28-Mar-2005	1.1	Altium Designer update
29-Nov-2005	1.2	Altium Designer 6.0 Update
12-Sep-2006	1.3	Section on PCB designator display added.
11-Sep-2007	1.4	SheetSymbol screenshot updated and Repeat command with an index of 1 onwards for Altium Designer 6.8.
18-Mar-2008	1.5	Updated Page Size to A4.
20-Apr-2008	1.6	Updated reference paths.

ソフトウェア、ハードウェア、文書、および関連資料

Copyright © 2003 Altium Limited. All rights reserved.

以下の注意書きとともに提供される文書とその情報は、様々な形による国内、海外の知的財産権の保護 - 著作権の保護を含むがそれに限定されない - が目的です。この注意書きの閲覧者には、非独占的なライセンスが付与されており、このような文書とその情報を、その用途について規定している使用許諾契約書(エンドユーザライセンスアグリーメント)に記載の目的のために使用することができます。いかなる場合においても、あなたにライセンスされた文書から、あるいはその他の手段を利用して、リバースエンジニア、逆コンパイル、複製、配布、派生物の作成を行うことは、明白に規定された同意書による許諾を得ない限りできません。かかる制限条項が遵守されない場合、罰金や実刑を含む民事罰と刑事罰の対象となることがあります。しかしながら、バックアップの目的に限り、提供される文書のまたは情報を一個だけ記録に残し、オリジナルコピーが不能の場合のみ、その複製にアクセスし、利用することは許可されます。Altium、Altium Designer、Board Insight、CAMtastic、CircuitStudio、Design Explorer、DXP、Innovation Station、LiveDesign、NanoBoard、NanoTalk、OpenBus、Nexar、nVisage、P-CAD、Protel、SimCode、Situs、TASKING、Topological Autorouting、およびそれぞれに対応するロゴは、Altium Limited またはその子会社の商標または登録商標です。本書に記載されているそれ以外の登録商標や商標はそれぞれの所有者の財産であり、商標権を主張するものではありません。